



03500.016121

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)
MUNEKI ANDO) : Examiner: Unassigned
Application No.: 10/054,895) : Group Art Unit: Unassigned
Filed: January 25, 2002) :
For: IMAGE DISPLAY APPARATUS) August 19, 2002

Commissioner for Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENTS

Sir:

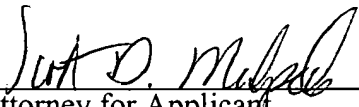
In support of Applicant's claim for priority under 35 U.S.C. § 119, enclosed are certified copies of the following foreign applications:

2001-018081, filed January 26, 2001 and

2002-016776, filed January 25, 2002.

Applicant's undersigned attorney may be reached in our Washington, D.C. office by telephone at (202) 530-1010. All correspondence should continue to be directed to our address given below.

Respectfully submitted,



Attorney for Applicant
Scott D. Malpede
Registration No. 32,533

FITZPATRICK, CELLA, HARPER & SCINTO
30 Rockefeller Plaza
New York, New York 10112-3801
Facsimile: (212) 218-2200
SDM/lmjleyw
DC MAIN 105939v1

RECEIVED

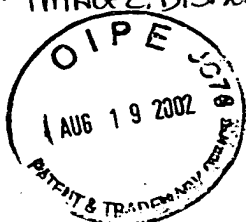
AUG 22 2002

OFFICE OF PETITIONS

10/054, 895
MUNEKI ANDO

"IMAGE DISPLAY APPARATUS"

CFO 16/21 US/ah



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月26日

出願番号
Application Number:

特願2001-018081

[ST.10/C]:

[JP2001-018081]

出願人
Applicant(s):

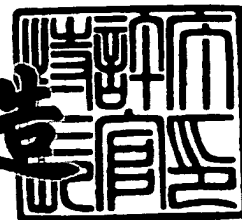
キヤノン株式会社

App/No.: 10/054, 895
Filed: 1/25/02
Inv.: MUNEKI ANDO
Title: Image Display Apparatus

2002年 2月15日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3007653

【書類名】 特許願

【整理番号】 4288012

【提出日】 平成13年 1月26日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04L 5/00
H04L 12/00
H01J 1/00

【発明の名称】 画像表示装置、画像表示方法、画像表示プログラム及び
画像表示プログラムを記録したコンピュータ読み取り可
能な記録媒体

【請求項の数】 76

【発明者】
【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会
社 内

【氏名】 安藤 宗棋

【特許出願人】
【識別番号】 000001007
【氏名又は名称】 キヤノン株式会社
【代表者】 御手洗 富士夫

【代理人】
【識別番号】 100085006
【弁理士】
【氏名又は名称】 世良 和信
【電話番号】 03-5643-1611

【選任した代理人】
【識別番号】 100100549
【弁理士】
【氏名又は名称】 川口 嘉之
【電話番号】 03-3669-6571

【選任した代理人】

【識別番号】 100106622

【弁理士】

【氏名又は名称】 和久田 純一

【電話番号】 03-5643-1611

【手数料の表示】

【予納台帳番号】 066073

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像表示装置、画像表示方法、画像表示プログラム及び画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体

【特許請求の範囲】

【請求項1】 少なくとも1以上の走査配線と、

前記走査配線に交差するように配置されている少なくとも1以上の変調配線と

前記走査配線と変調配線との交点上に配置されている表示素子と、

表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換手段と、

前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数のブロックに分割された転送信号とする分割手段と、

前記複数のブロックに分割された転送信号を入力する、前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタと、

前記シフトレジスタに順次入力された転送信号を並列にラッチする、前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段と、

前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする、前記変調配線の複数のブロックに対応して複数のブロックに分割された変調手段と、

装置全体の動作タイミングを発生させるタイミング発生手段と、

前記分割手段に用いる記憶手段と、

前記記憶手段の動作を制御するアドレス発生手段とを備える画像表示装置であって、

前記記憶手段の容量が、前記シフトレジスタの容量以上、前記シフトレジスタの容量の2倍未満である画像表示装置。

【請求項2】 前記分割手段での前記輝度信号の分割数がDであり、

前記記憶手段はD組の記憶部からなり、

前記アドレス発生手段は前記D組の記憶部のそれぞれに対するD組のライトアドレス信号を発生させ、前記D組の記憶部は輝度信号の情報をライトアドレス信号に基づいて記憶し、

前記アドレス発生手段は、前記D組の記憶部のそれぞれに対するD組のリードアドレス信号を発生させ、前記D組の記憶部はリードアドレス信号に基づいて記憶内容をリード出力信号として出力することにより、

前記分割手段は、前記輝度信号を、該変調配線の複数のブロックに対応した複数のブロックに分割された転送信号とする請求項1に記載の画像表示装置。

【請求項3】 前記分割手段での輝度信号の分割数が2である請求項1又は2に記載の画像表示装置。

【請求項4】 前記複数のブロックに含まれる変調配線の数の比が等しくなるように、前記変調配線がブロック分けされ、

前記分割手段は、該変調配線のブロックに含まれる変調配線の数の比に対応するように、入力した輝度信号を分割する請求項1から3のいずれか1項に記載の画像表示装置。

【請求項5】 前記分割手段から出力された転送信号が、前記輝度信号より1走査期間の $1/2$ の期間遅れて出力される請求項4に記載の画像表示装置。

【請求項6】 前記分割手段から出力された転送信号の転送速度が、前記輝度信号の $1/2$ の速度である請求項4又は5に記載の画像表示装置。

【請求項7】 前記変調配線の総数を n とした場合において、

前記記憶部のうちの1つの記憶部に入力する第1のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の1番目のデータが入力されてから $n/2$ 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化し、

前記記憶部のうちの他の1つの記憶部に入力する第2のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の $n/2 + 1$ 番目のデータが入力されてから n 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化する請求項4から6のいずれか1項に記載の画像表示装置。

【請求項 8】 前記記憶手段の 2 つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番目のデータが入力されるまでの期間内に、 $1 \sim n/2$ という順に変化する請求項 4 から 7 のいずれか 1 項に記載の画像表示装置。

【請求項 9】 前記記憶手段の 2 つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番目のデータが入力されるまでの期間全体を用いて、 $1 \sim n/2$ という順に変化する請求項 4 から 7 のいずれか 1 項に記載の画像表示装置。

【請求項 10】 前記分割手段での輝度信号の分割数 D が 3 以上である請求項 1 又は 2 に記載の画像表示装置。

【請求項 11】 前記分割手段から出力される転送信号の出力タイミングが同時になるように転送信号のうちの少なくとも 1 つに遅延を与える遅延手段を備える請求項 10 に記載の画像表示装置。

【請求項 12】 前記複数のブロックに含まれる変調配線の数の比が等しくなるように、前記変調配線がブロック分けされ、

前記分割手段は、該変調配線のブロックに含まれる変調配線の数の比に対応するように入力した輝度信号を分割する請求項 11 に記載の画像表示装置。

【請求項 13】 前記遅延手段は、 $D - 2$ 組からなる請求項 12 に記載の画像表示装置。

【請求項 14】 前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D - 1$) の記憶部から出力される X 番目の転送信号が、輝度信号よりも 1 走査期間の X/D 遅れて分割手段より出力され、

前記記憶部から出力される D 番目の転送信号が輝度信号よりも 1 走査期間の ($D - 1$) / D 遅れて分割手段より出力され、

X 番目 ($1 \leq X \leq D - 2$) の遅延手段は、前記 X 番目の記憶部から出力された転送信号を、前記記憶手段に入力する輝度信号に比べて ($D - X$) / D 走査期間の遅延を与えて出力する請求項 12 又は 13 に記載の画像表示装置。

【請求項 1 5】 前記変調配線の総数を n とした場合において、

X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスが、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、

X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間内に、 $1 \sim n/D$ という順に変化し、

D 番目の前記記憶部に入力するリードアドレス信号のアドレスは、 $D-1$ 番目のリードアドレス信号と同様に変化することにより、

前記分割手段は各記憶部のリード出力信号を転送信号として出力する請求項 1 2 から 1 4 のいずれか 1 項に記載の画像表示装置。

【請求項 1 6】 前記変調配線の総数を n とした場合において、

前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスが、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、

X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間全体を用いて、 $1 \sim n/D$ という順に変化し、

D 番目の前記記憶部に入力するリードアドレス信号のアドレスは、 $D-1$ 番目のリードアドレス信号と同様に、順に変化することにより、

前記分割手段は各記憶部のリード出力信号を転送信号として出力する請求項 1 2 から 1 4 のいずれか 1 項に記載の画像表示装置。

【請求項 1 7】 前記複数のブロックに含まれる変調配線の数の比が等分割にならないように、前記変調配線がブロック分けされ、

前記分割手段は、該変調配線のブロックに含まれる変調配線の数の比に対応するように入力した輝度信号を分割する請求項 1, 2, 3, 10, 11 に記載の画像表示装置。

【請求項 18】 前記分割手段での分割数を D 、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$

前記分割手段から出力された転送信号の転送速度が、前記輝度信号の M 倍の速度であるとしたときに、

【数 1】

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

... (1)

の条件を満たす請求項 17 に記載の画像表示装置。

【請求項 19】 前記分割手段での分割数を D 、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$

前記分割手段から出力された転送信号の転送速度が、前記輝度信号の M 倍の速度であるとしたときに、

【数 2】

$$d[X] = M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] = M \left(\sum_{x=1}^D d[x] \right)$$

... (2)

の条件を満たす請求項 1 7 又は 1 8 に記載の画像表示装置。

【請求項 2 0】 前記分割手段から出力されるそれぞれの転送信号の出力タイミングが同時であり、

前記分割手段は各記憶部のリード出力信号を転送信号として出力する請求項 1 7 から 1 9 のいずれか 1 項に記載の画像表示装置。

【請求項 2 1】 前記記憶部の各容量の合計が前記シフトレジスタの各容量の合計に等しい請求項 1 から 2 0 のいずれか 1 項に記載の画像表示装置。

【請求項 2 2】 前記記憶手段が書き込みと読み込みを同時に行えるデュアルポートタイプの記憶手段である請求項 1 から 2 1 のいずれか 1 項に記載の画像表示装置。

【請求項 2 3】 前記記憶手段を構成する記憶部が書き込みと読み込みを同時に行えないシングルポートタイプの記憶部である請求項 2 に記載の画像表示装置。

【請求項 2 4】 前記記憶手段を構成する記憶部の入出力の経路を切り替える切り替え手段と、

入力した各記憶部からの出力信号から、いずれかの信号を選択して 1 つの転送信号として出力する選択手段と、

前記分割手段から出力される転送信号の出力タイミングが同時になるように、それぞれの転送信号に遅延を与える遅延手段とを備える請求項 2 3 に記載の画像表示装置。

【請求項 2 5】 前記切り替え手段が 2 D 組からなる請求項 2 4 に記載の画像表示装置。

【請求項 2 6】 前記遅延手段が D - 1 組からなる請求項 2 4 又は 2 5 に記載の画像表示装置。

【請求項 2 7】 前記記憶部が D 組にブロック分けされ、さらにそれぞれの記憶部が 2 分割されることにより、記憶部は 2 D 組のブロックに分割されている請求項 2 3 から 2 6 のいずれか 1 項に記載の画像表示装置。

【請求項 2 8】 前記選択手段が D 組からなる請求項 2 3 から 2 7 のいずれか 1 項に記載の画像表示装置。

【請求項 2 9】 前記記憶手段を構成する記憶部を D 個のブロックにブロック分けし、この D 個の記憶部のそれぞれの記憶部を 2 分割した場合の 2 つの記憶部の記憶容量の分割比は、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、それぞれの 2 分割された記憶部毎に、奇数番目の記憶部の容量と偶数番目の記憶部の容量とが、

$1/D \leq (\text{奇数番目の記憶部の容量}) / (\text{偶数番目の記憶部の容量}) \leq D$
を満たし、

それぞれの記憶部の容量はそれぞれの記憶部から出力される転送信号が入力する、画像表示装置の駆動部が持つ全シフトレジスタの容量の、 $1/D(D+1)$ 倍以上、 $D/D(D+1)$ 倍以下となる請求項 2 3 から 2 8 のいずれか 1 項に記載の画像表示装置。

【請求項 3 0】 前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 $X = 1, 3, 5, \dots, 2D-5, 2D-3$ および $2D$ の場合に、 X 番目の記憶部の容量を、シフトレジスタの容量の、

$D/D(D+1)$ 倍とし、

$X = 2, 4, 6, \dots, 2D-4, 2D-2$ および $2D-1$ の場合に、 X 番目の記憶部の容量を、シフトレジスタの容量の、

$1/D(D+1)$ 倍とする請求項 2 3 から 2 9 のいずれか 1 項に記載の画像表示装置。

【請求項 3 1】 前記映像信号が RGB 各色毎に分割手段に入力し、

前記分割手段は RGB 各色毎に備えられ、

前記 RGB 各色毎の分割手段の出力である転送信号を選択して出力する色選択手段を備える請求項 1 から 3 0 のいずれか 1 項に記載の画像表示装置。

【請求項 3 2】 前記色選択手段は、

前記変調配線の分割されたブロック数と同数存在する請求項 3 1 に記載の画像表示装置。

【請求項 3 3】 前記分割手段に入力する各色毎の映像信号が入力する順に、前記分割手段を構成する記憶手段の各色毎の記憶部を、各色毎に番号付け、各色の D 番目の記憶部から出力された信号を D 番目の色選択手段に入力させて

D個に分割された転送信号を出力する請求項 3 2 に記載の画像表示装置。

【請求項 3 4】 前記走査配線及び変調配線を介してマトリクス上に配置された複数の電子放出素子を備え、前記電子放出素子から放出される電子ビームを蛍光体に照射させて画像を形成する請求項 1 から 3 3 のいずれか 1 項に記載の画像表示装置。

【請求項 3 5】 前記電子放出素子は表面伝導型放出素子である請求項 3 4 に記載の画像表示装置。

【請求項 3 6】 前記電子放出素子は電界放出型（F E 型）である請求項 3 4 に記載の画像表示装置。

【請求項 3 7】 前記電子放出素子は金属／絶縁体／金属型（M I M 型）である請求項 3 4 に記載の画像表示装置。

【請求項 3 8】 少なくとも 1 以上の走査配線と、
前記走査配線に交差するように配置されている少なくとも 1 以上の変調配線と

前記走査配線と変調配線との交点上に配置されている表示素子とを備える画像表示装置に適用される画像表示方法であって、

表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換工程と、

前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数のブロックに分割された転送信号とする分割工程と、

前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタに前記複数のブロックに分割された転送信号を入力する工程と、

前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段により、前記シフトレジスタに順次入力された転送信号を並列にラッチする工程と、

前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする変調工程と、

装置全体の動作タイミングを発生させるタイミング発生工程と、

前記分割工程の動作を制御するアドレスを発生するアドレス発生工程とを備える画像表示方法であって、

前記分割工程において、前記シフトレジスタの容量以上、前記シフトレジスタの容量の2倍未満である記憶手段を用いて輝度信号を分割する画像表示方法。

【請求項39】 前記分割工程での前記輝度信号の分割数がDであり、

前記記憶手段はD組の記憶部からなり、

前記アドレス発生工程は前記D組の記憶部のそれぞれに対するD組のライトアドレス信号を発生させ、前記D組の記憶部は輝度信号の情報をライトアドレス信号に基づいて記憶し、

前記アドレス発生工程は、前記D組の記憶部のそれぞれに対するD組のリードアドレス信号を発生させ、前記D組の記憶部はリードアドレス信号に基づいて記憶内容をリード出力信号として出力することにより、

前記分割工程は、前記輝度信号を、該変調配線の複数のブロックに対応した複数のブロックに分割された転送信号とする請求項38に記載の画像表示方法。

【請求項40】 前記分割工程での輝度信号の分割数が2である請求項38又は39に記載の画像表示方法。

【請求項41】 前記複数のブロックに含まれる変調配線の数の比が等しくなるように、前記変調配線がブロック分けされ、

前記分割工程は、該変調配線のブロックに含まれる変調配線の数の比に対応するように、入力した輝度信号を分割する請求項38から40のいずれか1項に記載の画像表示方法。

【請求項42】 前記分割工程から出力された転送信号が、前記輝度信号より1走査期間の $1/2$ の期間遅れて出力される請求項41に記載の画像表示方法。

【請求項43】 前記分割工程から出力された転送信号の転送速度が、前記輝度信号の $1/2$ の速度である請求項41又は42に記載の画像表示方法。

【請求項44】 前記変調配線の総数をnとした場合において、

前記記憶部のうちの1つの記憶部に入力する第1のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の1番目のデータが入

力されてから $n/2$ 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化し、

前記記憶部のうちの他の 1 つの記憶部に入力する第 2 のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n/2 + 1$ 番目のデータが入力されてから n 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化する請求項 4 1 から 4 3 のいずれか 1 項に記載の画像表示方法。

【請求項 4 5】 前記記憶手段の 2 つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番目のデータが入力されるまでの期間内に、 $1 \sim n/2$ という順に変化する請求項 4 1 から 4 4 のいずれか 1 項に記載の画像表示方法。

【請求項 4 6】 前記記憶手段の 2 つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番目のデータが入力されるまでの期間全体を用いて、 $1 \sim n/2$ という順に変化する請求項 4 1 から 4 4 のいずれか 1 項に記載の画像表示方法。

【請求項 4 7】 前記分割工程での輝度信号の分割数 D が 3 以上である請求項 3 8 又は 3 9 に記載の画像表示方法。

【請求項 4 8】 前記分割工程から出力される転送信号の出力タイミングが同時になるように転送信号のうちの少なくとも 1 つに遅延を与える遅延工程を備える請求項 4 7 に記載の画像表示方法。

【請求項 4 9】 前記複数のブロックに含まれる変調配線の数之比が等しくなるように、前記変調配線がブロック分けされ、

前記分割工程は、該変調配線のブロックに含まれる変調配線の数之比に対応するように入力した輝度信号を分割する請求項 4 8 に記載の画像表示方法。

【請求項 5 0】 前記遅延工程は、 $D - 2$ 組の遅延手段を用いて遅延を行う請求項 4 9 に記載の画像表示方法。

【請求項 5 1】 前記記憶手段に入力する輝度信号の入力順に記憶部を番号

付けたとして、 X 番目 ($1 \leq X \leq D-1$) の記憶部から出力される X 番目の転送信号が、輝度信号よりも 1 走査期間の X/D 遅れて出力され、

前記記憶部から出力される D 番目の転送信号が輝度信号よりも 1 走査期間の ($D-1$) / D 遅れて出力され、

X 番目 ($1 \leq X \leq D-2$) の遅延手段は、前記 X 番目の記憶部から出力された転送信号を、前記記憶手段に入力する輝度信号に比べて ($D-X$) / D 走査期間の遅延を与えて出力する請求項 50 に記載の画像表示方法。

【請求項 52】 前記変調配線の総数を n とした場合において、

X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、

X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間内に、 $1 \sim n/D$ という順に変化し、

D 番目の前記記憶部に入力するリードアドレス信号のアドレスは、 $D-1$ 番目のリードアドレス信号と同様に変化することにより、

前記分割工程は各記憶部のリード出力信号を転送信号として出力する請求項 49 から 51 のいずれか 1 項に記載の画像表示方法。

【請求項 53】 前記変調配線の総数を n とした場合において、

前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、

X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまで

の期間全体を用いて、 $1 \sim n/D$ という順に変化し、

D番目の前記記憶部に入力するリードアドレス信号のアドレスは、D-1番目のリードアドレス信号と同様に、順に変化することにより、

前記分割工程は各記憶部のリード出力信号を転送信号として出力する請求項49から51のいずれか1項に記載の画像表示方法。

【請求項54】 前記複数のブロックに含まれる変調配線の数の比が等分割にならないように、前記変調配線がブロック分けされ、

前記分割工程は、該変調配線のブロックに含まれる変調配線の数の比に対応するように入力した輝度信号を分割する請求項38, 39, 40, 47, 48に記載の画像表示方法。

【請求項55】 前記分割工程での分割数をD、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$

前記分割工程から出力された転送信号の転送速度が、前記輝度信号のM倍の速度であるとしたときに、

【数3】

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

・・・ (3)

の条件を満たす請求項54に記載の画像表示方法。

【請求項56】 前記分割工程での分割数をD、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$

前記分割工程から出力された転送信号の転送速度が、前記輝度信号のM倍の速度であるとしたときに、

【数 4】

$$d[X] = M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X = 1 \sim D-1]$$

$$d[D] = M \left(\sum_{x=1}^D d[x] \right)$$

・・・ (4)

の条件を満たす請求項 5 4 又は 5 5 に記載の画像表示方法。

【請求項 5 7】 前記分割工程から出力されるそれぞれの転送信号の出力タイミングが同時であり、

前記分割工程は各記憶部のリード出力信号を転送信号として出力する請求項 5 4 から 5 6 のいずれか 1 項に記載の画像表示方法。

【請求項 5 8】 前記記憶部の各容量の合計が前記シフトレジスタの各容量の合計に等しい請求項 3 8 から 5 7 のいずれか 1 項に記載の画像表示方法。

【請求項 5 9】 前記記憶手段が書き込みと読み込みを同時に行えるデュアルポートタイプの記憶手段である請求項 3 8 から 5 8 のいずれか 1 項に記載の画像表示方法。

【請求項 6 0】 前記記憶手段を構成する記憶部が書き込みと読み込みを同時に行えないシングルポートタイプの記憶部である請求項 3 9 に記載の画像表示方法。

【請求項 6 1】 前記記憶手段を構成する記憶部の入出力の経路を切り替える切り替え工程と、

入力した各記憶部からの出力信号から、いずれかの信号を選択して 1 つの転送信号として出力する選択工程と、

前記分割工程から出力される転送信号の出力タイミングが同時になるように、それぞれの転送信号に遅延を与える遅延工程とを備える請求項 6 0 に記載の画像表示方法。

【請求項 6 2】 前記切り替え工程が 2 D 組の切り替え手段を用いて切り替

えを行う請求項 6 1 に記載の画像表示方法。

【請求項 6 3】 前記遅延工程が $D - 1$ 組の遅延手段を用いて遅延を行う請求項 6 1 又は 6 2 に記載の画像表示方法。

【請求項 6 4】 前記記憶部が D 組にブロック分けされ、さらにそれぞれの記憶部が 2 分割されることにより、記憶部は $2 D$ 組のブロックに分割されている請求項 6 0 から 6 3 のいずれか 1 項に記載の画像表示方法。

【請求項 6 5】 前記選択工程が D 組からなる選択手段を用いて選択を行う請求項 6 0 から 6 4 のいずれか 1 項に記載の画像表示方法。

【請求項 6 6】 前記記憶手段を構成する記憶部を D 個のブロックにブロック分けし、この D 個の記憶部のそれぞれの記憶部を 2 分割した場合の 2 つの記憶部の記憶容量の分割比は、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、それぞれの 2 分割された記憶部毎に、奇数番目の記憶部の容量と偶数番目の記憶部の容量とが、

$1 / D \leq (\text{奇数番目の記憶部の容量}) / (\text{偶数番目の記憶部の容量}) \leq D$
を満たし、

それぞれの記憶部の容量はそれぞれの記憶部から出力される転送信号が入力する、画像表示装置の駆動部が持つ全シフトレジスタの容量の、 $1 / D (D + 1)$ 倍以上、 $D / D (D + 1)$ 倍以下となる請求項 6 0 から 6 5 のいずれか 1 項に記載の画像表示方法。

【請求項 6 7】 前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 $X = 1, 3, 5, \dots, 2 D - 5, 2 D - 3$ および $2 D$ の場合に、 X 番目の記憶部の容量が、シフトレジスタの容量の、

$D / D (D + 1)$ 倍であり、

$X = 2, 4, 6, \dots, 2 D - 4, 2 D - 2$ および $2 D - 1$ の場合に、 X 番目の記憶部の容量が、シフトレジスタの容量の、

$1 / D (D + 1)$ 倍である請求項 6 0 から 6 6 のいずれか 1 項に記載の画像表示方法。

【請求項 6 8】 前記分割工程は入力した映像信号の RGB 各色毎に分割を行ない、

前記RGB各色毎の分割工程の出力である転送信号を選択して出力する色選択工程を備える請求項38から67のいずれか1項に記載の画像表示方法。

【請求項69】 前記色選択工程は、

前記変調配線の分割されたブロック数と同数存在する色選択手段を用いて色選択を行う請求項68に記載の画像表示方法。

【請求項70】 各色毎の映像信号が前記分割工程で用いる記憶手段に入力する順に、前記分割工程で用いる記憶手段の各色毎の記憶部を、各色毎に番号付け、

各色のD番目の記憶部から出力された信号に対して色選択工程が色選択を行うことにより、D個に分割された転送信号を出力する請求項69に記載の画像表示方法。

【請求項71】 前記走査配線及び変調配線を介してマトリクス上に配置された複数の電子放出素子から放出される電子ビームを蛍光体に照射させて画像を形成する請求項38から70のいずれか1項に記載の画像表示方法。

【請求項72】 前記電子放出素子は表面伝導型放出素子である請求項71に記載の画像表示方法。

【請求項73】 前記電子放出素子は電界放出型（FE型）である請求項71に記載の画像表示方法。

【請求項74】 前記電子放出素子は金属／絶縁体／金属型（MIM型）である請求項71に記載の画像表示方法。

【請求項75】 少なくとも1以上の走査配線と、

前記走査配線に交差するように配置されている少なくとも1以上の変調配線と

前記走査配線と変調配線との交点上に配置されている表示素子と、

表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換手段と、

前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数に分割された転送信号とする分割手段と、

前記複数のブロックに分割された転送信号を入力する、前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタと、

前記シフトレジスタに順次入力された転送信号を並列にラッチする、前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段と、

前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする、前記変調配線の複数のブロックに対応して複数のブロックに分割された変調手段と、

装置全体の動作タイミングを発生させるタイミング発生手段と、

前記分割手段に用いる、少なくとも 1 以上の記憶部からなる記憶手段と、

前記記憶手段の動作を制御するアドレス発生手段とを備える画像表示装置であって、

前記記憶手段の容量が、前記シフトレジスタの容量以上、前記シフトレジスタの容量の 2 倍未満である画像表示装置に適用される画像表示プログラムであって

前記変調配線の総数を n 、転送信号の分割数を D とした場合において、

前記アドレス発生手段が、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力させる前記ライトアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化させるステップと、

前記アドレス発生手段が、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間内に、 $1 \sim n/D$ という順に変化させるステップと、

前記アドレス発生手段が、 D 番目の前記記憶部に入力するリードアドレス信号のアドレスを、 $D-1$ 番目のリードアドレス信号と同様に、順に変化させるステップとを備える画像表示プログラム。

【請求項 76】 少なくとも 1 以上の走査配線と、

前記走査配線に交差するように配置されている少なくとも 1 以上の変調配線と

前記走査配線と変調配線との交点上に配置されている表示素子と、

表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換手段と、

前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数のブロックに分割された転送信号とする分割手段と、

前記複数のブロックに分割された転送信号を入力する、前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタと、

前記シフトレジスタに順次入力された転送信号を並列にラッチする、前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段と、

前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする、前記変調配線の複数のブロックに対応して複数のブロックに分割された変調手段と、

装置全体の動作タイミングを発生させるタイミング発生手段と、

前記分割手段に用いる、少なくとも 1 以上の記憶部からなる記憶手段と、

前記記憶手段の動作を制御するアドレス発生手段とを備える画像表示装置であって、

前記記憶手段の容量が、前記シフトレジスタの容量以上、前記シフトレジスタの容量の 2 倍未満である画像表示装置に適用される画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体であって、

前記変調配線の総数を n 、転送信号の分割数を D とした場合において、

前記アドレス発生手段が、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力させる前記ライトアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化さ

せるステップと、

前記アドレス発生手段が、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の1走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間内に、 $1 \sim n/D$ という順に変化させるステップと、

前記アドレス発生手段が、 D 番目の前記記憶部に入力するリードアドレス信号のアドレスを、 $D-1$ 番目のリードアドレス信号と同様に、順に変化させるステップとを備える画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は平面上に画像を形成する画像表示装置、画像表示方法、画像表示プログラム及び画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体に関するものである

【0002】

【従来の技術】

従来、平面上に画像を形成する画像表示装置として種々のものが開発されている。例えば、このような従来の画像表示装置の一例について図22及び図23を参照して説明する。

【0003】

図22は、特開平5-100632号公報に示されている従来の画像表示装置の構成を示す構成図、図23は、図22に示される画像表示装置のタイミングチャートである。

【0004】

図22及び図23に示されるように、表示パネル2201の画素数が多くなるとそれに伴ってデータ信号2223の転送レートがあがる。

【0005】

そのため、従来の画像表示装置では、データ信号 2 2 2 3 の伝送線路およびデータ側駆動回路 2 2 2 4 中のシフトレジスタが高速動作することが要求される。

【 0 0 0 6 】

上記高速動作の要求の解決法として特開平 5 - 1 0 0 6 3 2 号公報では、図 2 4 及び図 2 5 に示すような構成が提案されている。図 2 4 は、従来の画像表示装置の構成図、図 2 5 は、図 2 4 に示される画像表示装置のタイミングチャートである。

【 0 0 0 7 】

図 2 4 及び図 2 5 に示されるように、この画像表示装置は、記憶回路部 2 4 0 4 にデータ信号 2 4 2 3 を分割して蓄え、輝度データ 1 ~ 4 (2 4 1 6 ~ 2 4 1 9) を並列かつ同時に送出することによって輝度データの伝送線路およびシフトレジスタの動作速度を下げることを目的としている。

【 0 0 0 8 】

また、図 2 5 のタイミングチャートで示されているように、一般的には 1 走査配線分の記憶装置としてシフトレジスタのデータ容量に等しい記憶回路を 2 組用いて、1 走査期間中に 1 組の記憶回路にデータを蓄え、次の走査期間中に先の記憶回路に蓄えられたデータを送出しながら次の組の記憶回路にデータを蓄えるダブルバッファと呼ばれる方法が用いられる。

【 0 0 0 9 】

一方、他の従来の画像表示装置の一例として、USP 5 7 1 0 6 0 4 に示される画像表示装置がある。この USP 5 7 1 0 6 0 4 に示される画像表示装置について図 2 6 及び図 2 7 を参照して説明する。図 2 6 は、USP 5 7 1 0 6 0 4 に示される画像表示装置の構成図、図 2 7 は、図 2 6 に示される画像表示装置のタイミングチャートである。

【 0 0 1 0 】

USP 5 7 1 0 6 0 4 に示される画像表示装置では、色順次方式にてカラーを表示する表示装置において、制御部 2 6 1 4 にタイミングを入力し、メモリ 2 6 1 2 にデータを入力する。

【 0 0 1 1 】

そして、行ドライバ 2 6 2 0、列ドライバ 2 6 1 8 及びアノードパワーサプライ 2 6 1 6 を用いてフィールドディスプレイ 2 6 2 2 を制御して画像を表示する。この画像表示装置では、ダブルバッファに必要な 2 組の記憶回路の容量を節約する。

【 0 0 1 2 】

【発明が解決しようとする課題】

従来の画像表示装置では、RGB それぞれの映像データを選択配置する方法が採用されている。この従来の RGB それぞれの映像データを選択配置する画像表示装置について図 2 8 及び図 2 9 を参照して説明する。

【 0 0 1 3 】

図 2 8 に、従来のマトリクス表示パネルを用いた画像表示装置の構成図を示し、図 2 9 に、図 2 8 に示される画像表示装置の信号のタイミングチャートを示す。

【 0 0 1 4 】

図 2 8 において、2 8 0 1 はマトリクス状に走査配線と変調配線が配置された表示パネルである。2 8 0 3 は変調配線を駆動する駆動部である。

【 0 0 1 5 】

2 8 0 3 - 1 は変調駆動を行う変調駆動回路である。2 8 0 3 - 2 は変調データを保持するラッチ回路である。

【 0 0 1 6 】

2 8 0 3 - 3 はシフトレジスタである。2 8 0 2 は走査配線の走査側駆動部である。2 8 3 3 はパネルを駆動するためのタイミングを生成する表示タイミング生成部である。

【 0 0 1 7 】

2 8 3 0 は入力された映像信号をデジタル化する A / D 部である。2 8 3 1 は RGB それぞれの映像信号を表示パネルの画素配列に従って選択配置する RGB 選択配置部である。

【 0 0 1 8 】

A / D 部 2 8 3 0 はディスプレイ装置に入力された RGB それぞれの映像信号

S 1 をデジタル化し、デジタル映像信号 S 2 - 1 ~ S 2 - 3 を生成する。

【 0 0 1 9 】

R G B 選択配置部 2 8 3 1 はデジタル映像信号 S 2 を表示パネル 2 8 0 1 の画素配列に対応するようにデータを選択配置し、輝度信号 S 3 を生成する。

【 0 0 2 0 】

シフトレジスタ 2 8 0 3 - 3 は輝度データを駆動部に入力する。ラッチ 2 8 0 3 - 2 はシフトレジスタのデータを蓄える。

【 0 0 2 1 】

変調駆動回路 2 8 0 3 - 1 はディスプレイ駆動タイミング S 5 にしたがってラッチされたデータをもとに表示パネル 2 8 0 1 を駆動する。

【 0 0 2 2 】

また、転送タイミング生成部 2 8 3 2 及び表示タイミング生成部 2 8 3 3 では入力された映像信号 S 1 をもとにそれぞれ、タイミング信号 S 6, S 7、ディスプレイ駆動タイミング S 4, S 5 を生成する。

【 0 0 2 3 】

走査側駆動部 2 8 0 2 ではディスプレイ駆動タイミング S 4 にしたがって、表示パネル 2 8 0 1 の走査電極を順にスキャンする。

【 0 0 2 4 】

この画像表示装置では R G B それぞれの映像データを選択配置するため、輝度信号 S 3 は選択配置する前の 3 倍のデータ量となり、輝度信号 S 3 の転送速度は映像信号 S 1 の 3 倍の速度が必要となる。またシフトレジスタ 2 8 0 3 - 3 も相応の動作速度が求められる。

【 0 0 2 5 】

この対策として、図 2 4 に示されるように、特開平 5 - 1 0 0 6 3 2 号公報では、輝度信号 S 3 を分割して並列に転送することによってシフトレジスタ 2 8 0 3 - 3 の動作速度を下げるのが提案されている。

【 0 0 2 6 】

しかし、記憶回路部 2 4 0 4 の構成に一般的なダブルバッファ方式を用いると、シフトレジスタのデータ容量の 2 倍の記憶容量が必要となる。この記憶回路に

使用可能な高速メモリは高価であるので、結果的に装置のコストが高くなってしまいうという問題が生じる。

【 0 0 2 7 】

一方、USP 5 7 1 0 6 0 4 で提案されているメモリの節約方法は色順次方式で用いられることが前提となっており、分割した転送データを並列にシフトレジスタ 2 8 0 3 - 3 に転送することはできず、シフトレジスタ 2 8 0 3 - 3 の動作速度を下げることはできない。

【 0 0 2 8 】

ここで、色順次方式では、1 フレームを 1 a, 1 b, 1 c の 3 つのサブフレームに時分割する。

【 0 0 2 9 】

そして、1 a のフレームでは R の色成分を画面表示する。同様に 1 b, 1 c では G, B の色成分を画面表示する。

【 0 0 3 0 】

そして、サブフレーム切り替えに同期して、カラーフィルターやバックライトを切り替えて色を出す。

【 0 0 3 1 】

このように色順次方式では、特徴として、RGB で画素数を共用するので画素数が通常の 1 / 3 で済み、色分解を行うためにフレームバッファが必要である方式である。

【 0 0 3 2 】

しかし、前述のように色順次方式では、分割した転送データを並列にシフトレジスタ 2 8 0 3 - 3 に転送することはできず、シフトレジスタ 2 8 0 3 - 3 の動作速度を下げることはできない。

【 0 0 3 3 】

その理由として、RGB で画素を時分割して共用し、通常は転送線路や駆動回路も共用するからである。また、時系列的に離れているので並行転送する必要もないからである。

【 0 0 3 4 】

本発明では以上の事柄を鑑み、シフトレジスタの動作速度が低速でかつメモリの使用量の少ない画像表示装置、画像表示方法、画像表示プログラム及び画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的とする。

【 0 0 3 5 】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る画像表示装置は、少なくとも1以上の走査配線と、前記走査配線に交差するように配置されている少なくとも1以上の変調配線と、前記走査配線と変調配線との交点上に配置されている表示素子と、表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換手段と、前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数のブロックに分割された転送信号とする分割手段と、前記複数のブロックに分割された転送信号を入力する、前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタと、前記シフトレジスタに順次入力された転送信号を並列にラッチする、前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段と、前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする、前記変調配線の複数のブロックに対応して複数のブロックに分割された変調手段と、装置全体の動作タイミングを発生させるタイミング発生手段と、前記分割手段に用いる記憶手段と、前記記憶手段の動作を制御するアドレス発生手段とを備える画像表示装置であって、前記記憶手段の容量が、前記シフトレジスタの容量以上、前記シフトレジスタの容量の2倍未満である。

【 0 0 3 6 】

また、前記分割手段での前記輝度信号の分割数がDであり、前記記憶手段はD組の記憶部からなり、前記アドレス発生手段は前記D組の記憶部のそれぞれに対するD組のライトアドレス信号を発生させ、前記D組の記憶部は輝度信号の情報をライトアドレス信号に基づいて記憶し、前記アドレス発生手段は、前記D組の記憶部のそれぞれに対するD組のリードアドレス信号を発生させ、前記D組の記

憶部はリードアドレス信号に基づいて記憶内容をリード出力信号として出力することにより、前記分割手段は、前記輝度信号を、該変調配線の複数のブロックに対応した複数のブロックに分割された転送信号とする。

【 0 0 3 7 】

また、前記分割手段での輝度信号の分割数が 2 である。

【 0 0 3 8 】

また、前記複数のブロックに含まれる変調配線の数の比が等しくなるように、前記変調配線がブロック分けされ、前記分割手段は、該変調配線のブロックに含まれる変調配線の数の比に対応するように、入力した輝度信号を分割する。

【 0 0 3 9 】

また、前記分割手段から出力された転送信号が、前記輝度信号より 1 走査期間の $1/2$ の期間遅れて出力される。

【 0 0 4 0 】

また、前記分割手段から出力された転送信号の転送速度が、前記輝度信号の $1/2$ の速度である。

【 0 0 4 1 】

また、前記変調配線の総数を n とした場合において、前記記憶部のうちの 1 つの記憶部に入力する第 1 のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の 1 番目のデータが入力されてから $n/2$ 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化し、前記記憶部のうちの他の 1 つの記憶部に入力する第 2 のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n/2 + 1$ 番目のデータが入力されてから n 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化する。

【 0 0 4 2 】

また、前記記憶手段の 2 つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番目のデータが入力されるまでの期間内に、 $1 \sim n/2$ という順に変化する。

【 0 0 4 3 】

また、前記記憶手段の2つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番目のデータが入力されるまでの期間全体を用いて、 $1 \sim n/2$ という順に変化する。

【 0 0 4 4 】

また、前記分割手段での輝度信号の分割数 D が3以上である。

【 0 0 4 5 】

また、前記分割手段から出力される転送信号の出力タイミングが同時になるように転送信号のうちの少なくとも1つに遅延を与える遅延手段を備える。

【 0 0 4 6 】

また、前記複数のブロックに含まれる変調配線の数之比が等しくなるように、前記変調配線がブロック分けされ、前記分割手段は、該変調配線のブロックに含まれる変調配線の数之比に対応するように入力した輝度信号を分割する。

【 0 0 4 7 】

また、前記遅延手段は、 $D - 2$ 組からなる。

【 0 0 4 8 】

また、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D - 1$) の記憶部から出力される X 番目の転送信号が、輝度信号よりも1走査期間の X/D 遅れて分割手段より出力され、前記記憶部から出力される D 番目の転送信号が輝度信号よりも1走査期間の $(D - 1)/D$ 遅れて分割手段より出力され、 X 番目 ($1 \leq X \leq D - 2$) の遅延手段は、前記 X 番目の記憶部から出力された転送信号を、前記記憶手段に入力する輝度信号に比べて $(D - X)/D$ 走査期間の遅延を与えて出力する。

【 0 0 4 9 】

また、前記変調配線の総数を n とした場合において、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスが、前記記憶手段に入力する輝度信号の1走査期間中の $n(X - 1)/D + 1$ 番目のデータが入力され

てから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D + 1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間内に、 $1 \sim n/D$ という順に変化し、 D 番目の前記記憶部に入力するリードアドレス信号のアドレスは、 $D-1$ 番目のリードアドレス信号と同様に变化することにより、前記分割手段は各記憶部のリード出力信号を転送信号として出力する。

【0050】

また、前記変調配線の総数を n とした場合において、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスが、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D + 1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D + 1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間全体を用いて、 $1 \sim n/D$ という順に変化し、 D 番目の前記記憶部に入力するリードアドレス信号のアドレスは、 $D-1$ 番目のリードアドレス信号と同様に、順に変化することにより、前記分割手段は各記憶部のリード出力信号を転送信号として出力する。

【0051】

また、前記複数のブロックに含まれる変調配線の数の比が等分割にならないように、前記変調配線がブロック分けされ、前記分割手段は、該変調配線のブロックに含まれる変調配線の数の比に対応するように入力した輝度信号を分割する。

【0052】

また、前記分割手段での分割数を D 、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$ 、前記分割手段から出力された転送信号の転送速度が、前記輝度信号の M 倍の速度であるとし

たときに、下式（５）の条件を満たす。

【0053】

【数５】

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

・・・（５）

【0054】

また、前記分割手段での分割数をD、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$ 、前記分割手段から出力された転送信号の転送速度が、前記輝度信号のM倍の速度であるとしたときに、下式（６）の条件を満たす。

【0055】

【数６】

$$d[X] = M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] = M \left(\sum_{x=1}^D d[x] \right)$$

・・・（６）

【0056】

また、前記分割手段から出力されるそれぞれの転送信号の出力タイミングが同時であり、前記分割手段は各記憶部のリード出力信号を転送信号として出力する。

【0057】

また、記記憶部の各容量の合計が前記シフトレジスタの各容量の合計に等しい

【0058】

また、前記記憶手段が書き込みと読み込みを同時に行えるデュアルポートタイプの記憶手段である。

【0059】

また、前記記憶手段を構成する記憶部が書き込みと読み込みを同時に行えないシングルポートタイプの記憶部である。

【0060】

また、前記記憶手段を構成する記憶部の入出力の経路を切り替える切り替え手段と、入力した各記憶部からの出力信号から、いずれかの信号を選択して1つの転送信号として出力する選択手段と、前記分割手段から出力される転送信号の出力タイミングが同時になるように、それぞれの転送信号に遅延を与える遅延手段とを備える。

【0061】

また、前記切り替え手段が2D組からなる。

【0062】

また、前記遅延手段がD-1組からなる。

【0063】

また、前記記憶部がD組にブロック分けされ、さらにそれぞれの記憶部が2分割されることにより、記憶部は2D組のブロックに分割されている。

【0064】

また、前記選択手段がD組からなる。

【0065】

また、前記記憶手段を構成する記憶部をD個のブロックにブロック分けし、このD個の記憶部のそれぞれの記憶部を2分割した場合の2つの記憶部の記憶容量の分割比は、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、それぞれの2分割された記憶部毎に、奇数番目の記憶部の容量と偶数番目の記憶部の容量とが、 $1/D \leq (\text{奇数番目の記憶部の容量}) / (\text{偶数番目の記憶部の容量}) \leq D$ を満たし、それぞれの記憶部の容量はそれぞれの記憶部から出力

される転送信号が入力する、画像表示装置の駆動部が持つ全シフトレジスタの容量の、 $1/D(D+1)$ 倍以上、 $D/D(D+1)$ 倍以下となる。

【 0 0 6 6 】

また、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 $X=1, 3, 5, \dots, 2D-5, 2D-3$ および $2D$ の場合に、 X 番目の記憶部の容量を、シフトレジスタの容量の、 $D/D(D+1)$ 倍とし、 $X=2, 4, 6, \dots, 2D-4, 2D-2$ および $2D-1$ の場合に、 X 番目の記憶部の容量を、シフトレジスタの容量の、 $1/D(D+1)$ 倍とする。

【 0 0 6 7 】

また、前記映像信号が RGB 各色毎に分割手段に入力し、前記分割手段は RGB 各色毎に備えられ、前記 RGB 各色毎の分割手段の出力である転送信号を選択して出力する色選択手段を備える。

【 0 0 6 8 】

また、前記色選択手段は、前記変調配線の分割されたブロック数と同数存在する。

【 0 0 6 9 】

また、前記分割手段に入力する各色毎の映像信号が入力する順に、前記分割手段を構成する記憶手段の各色毎の記憶部を、各色毎に番号付け、各色の D 番目の記憶部から出力された信号を D 番目の色選択手段に入力させて D 個に分割された転送信号を出力する。

【 0 0 7 0 】

また、前記走査配線及び変調配線を介してマトリクス上に配置された複数の電子放出素子を備え、前記電子放出素子から放出される電子ビームを蛍光体に照射させて画像を形成する。

【 0 0 7 1 】

また、前記電子放出素子は表面伝導型放出素子である。

【 0 0 7 2 】

また、前記電子放出素子は電界放出型 (FE 型) である。

【 0 0 7 3 】

また、前記電子放出素子は金属／絶縁体／金属型（MIM型）である。

【 0 0 7 4 】

さらに、本発明に係る画像表示方法は、少なくとも1以上の走査配線と、前記走査配線に交差するように配置されている少なくとも1以上の変調配線と、前記走査配線と変調配線との交点上に配置されている表示素子とを備える画像表示装置に適用される画像表示方法であって、表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換工程と、前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数のブロックに分割された転送信号とする分割工程と、前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタに前記複数のブロックに分割された転送信号を入力する工程と、前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段により、前記シフトレジスタに順次入力された転送信号を並列にラッチする工程と、前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする変調工程と、装置全体の動作タイミングを発生させるタイミング発生工程と、前記分割工程の動作を制御するアドレスを発生するアドレス発生工程とを備える画像表示方法であって、前記分割工程において、前記シフトレジスタの容量以上、前記シフトレジスタの容量の2倍未満である記憶手段を用いて輝度信号を分割する。

【 0 0 7 5 】

また、前記分割工程での前記輝度信号の分割数がDであり、前記記憶手段はD組の記憶部からなり、前記アドレス発生工程は前記D組の記憶部のそれぞれに対するD組のライトアドレス信号を発生させ、前記D組の記憶部は輝度信号の情報をライトアドレス信号に基づいて記憶し、前記アドレス発生工程は、前記D組の記憶部のそれぞれに対するD組のリードアドレス信号を発生させ、前記D組の記憶部はリードアドレス信号に基づいて記憶内容をリード出力信号として出力することにより、前記分割工程は、前記輝度信号を、該変調配線の複数のブロックに対応した複数のブロックに分割された転送信号とする。

【 0 0 7 6 】

また、前記分割工程での輝度信号の分割数が2である。

【0077】

また、前記複数のブロックに含まれる変調配線の数の比が等しくなるように、前記変調配線がブロック分けされ、前記分割工程は、該変調配線のブロックに含まれる変調配線の数の比に対応するように、入力した輝度信号を分割する。

【0078】

また、前記分割工程から出力された転送信号が、前記輝度信号より1走査期間の $1/2$ の期間遅れて出力される。

【0079】

また、前記分割工程から出力された転送信号の転送速度が、前記輝度信号の $1/2$ の速度である。

【0080】

また、前記変調配線の総数を n とした場合において、前記記憶部のうちの1つの記憶部に入力する第1のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の1番目のデータが入力されてから $n/2$ 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化し、前記記憶部のうちの他の1つの記憶部に入力する第2のライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の $n/2 + 1$ 番目のデータが入力されてから n 番目のデータが入力されるまでの期間に輝度信号に同期して、 $1 \sim n/2$ という順に変化する。

【0081】

また、前記記憶手段の2つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番目のデータが入力されるまでの期間内に、 $1 \sim n/2$ という順に変化する。

【0082】

また、前記記憶手段の2つの記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の $n/2 + 1$ 番目のデータが入力されてから、前記記憶手段に入力する輝度信号の次の走査期間の $n/2$ 番

目のデータが入力されるまでの期間全体を用いて、 $1 \sim n/2$ という順に変化する。

【0083】

また、前記分割工程での輝度信号の分割数 D が3以上である。

【0084】

また、前記分割工程から出力される転送信号の出力タイミングが同時になるように転送信号のうちの少なくとも1つに遅延を与える遅延工程を備える。

【0085】

また、前記複数のブロックに含まれる変調配線の数の比が等しくなるように、前記変調配線がブロック分けされ、前記分割工程は、該変調配線のブロックに含まれる変調配線の数の比に対応するように入力した輝度信号を分割する。

【0086】

また、前記遅延工程は、 $D-2$ 組の遅延手段を用いて遅延を行う。

【0087】

また、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D-1$) の記憶部から出力される X 番目の転送信号が、輝度信号よりも1走査期間の X/D 遅れて出力され、前記記憶部から出力される D 番目の転送信号が輝度信号よりも1走査期間の $(D-1)/D$ 遅れて出力され、 X 番目 ($1 \leq X \leq D-2$) の遅延手段は、前記 X 番目の記憶部から出力された転送信号を、前記記憶手段に入力する輝度信号に比べて $(D-X)/D$ 走査期間の遅延を与えて出力する。

【0088】

また、前記変調配線の総数を n とした場合において、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の1走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D

番目のデータが入力されるまでの期間内に、 $1 \sim n/D$ という順に変化し、 D 番目の前記記憶部に入力するリードアドレス信号のアドレスは、 $D-1$ 番目のリードアドレス信号と同様に変化することにより、前記分割工程は各記憶部のリード出力信号を転送信号として出力する。

【0089】

また、前記変調配線の総数を n とした場合において、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力する前記ライトアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化し、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスは、前記記憶手段に入力する輝度信号の 1 走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間全体を用いて、 $1 \sim n/D$ という順に変化し、 D 番目の前記記憶部に入力するリードアドレス信号のアドレスは、 $D-1$ 番目のリードアドレス信号と同様に、順に変化することにより、前記分割工程は各記憶部のリード出力信号を転送信号として出力する。

【0090】

また、前記複数のブロックに含まれる変調配線の数の比が等分割にならないように、前記変調配線がブロック分けされ、前記分割工程は、該変調配線のブロックに含まれる変調配線の数の比に対応するように入力した輝度信号を分割する。

【0091】

また、前記分割工程での分割数を D 、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$ 、前記分割工程から出力された転送信号の転送速度が、前記輝度信号の M 倍の速度であるとしたときに、下式 (7) の条件を満たす。

【0092】

【数 7】

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X = 1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

. . . (7)

【0093】

また、前記分割工程での分割数をD、前記変調配線のブロックに含まれる変調配線の数の比を $d[1] : d[2] : \dots : d[D-1] : d[D]$ 、前記分割工程から出力された転送信号の転送速度が、前記輝度信号のM倍の速度であるとしたときに、下式(8)の条件を満たす。

【0094】

【数 8】

$$d[X] = M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X = 1 \sim D-1]$$

$$d[D] = M \left(\sum_{x=1}^D d[x] \right)$$

. . . (8)

【0095】

また、前記分割工程から出力されるそれぞれの転送信号の出力タイミングが同時であり、前記分割工程は各記憶部のリード出力信号を転送信号として出力する。

【0096】

また、前記記憶部の各容量の合計が前記シフトレジスタの各容量の合計に等しい。

【0097】

また、前記記憶手段が書き込みと読み込みを同時に行えるデュアルポートタイプの記憶手段である。

【0098】

また、前記記憶手段を構成する記憶部が書き込みと読み込みを同時に行えないシングルポートタイプの記憶部である。

【0099】

また、前記記憶手段を構成する記憶部の入出力の経路を切り替える切り替え工程と、入力した各記憶部からの出力信号から、いずれかの信号を選択して1つの転送信号として出力する選択工程と、前記分割工程から出力される転送信号の出力タイミングが同時になるように、それぞれの転送信号に遅延を与える遅延工程とを備える。

【0100】

また、前記切り替え工程が2D組の切り替え手段を用いて切り替えを行う。

【0101】

また、前記遅延工程がD-1組の遅延手段を用いて遅延を行う。

【0102】

また、前記記憶部がD組にブロック分けされ、さらにそれぞれの記憶部が2分割されることにより、記憶部は2D組のブロックに分割されている。

【0103】

また、前記選択工程がD組からなる選択手段を用いて選択を行う。

【0104】

また、前記記憶手段を構成する記憶部をD個のブロックにブロック分けし、このD個の記憶部のそれぞれの記憶部を2分割した場合の2つの記憶部の記憶容量の分割比は、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、それぞれの2分割された記憶部毎に、奇数番目の記憶部の容量と偶数番目の記憶部の容量とが、 $1/D \leq (\text{奇数番目の記憶部の容量}) / (\text{偶数番目の記憶部の容量}) \leq D$ を満たし、それぞれの記憶部の容量はそれぞれの記憶部から出力される転送信号が入力する、画像表示装置の駆動部が持つ全シフトレジスタの容量の、 $1/D(D+1)$ 倍以上、 $D/D(D+1)$ 倍以下となる。

【0105】

また、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 $X = 1, 3, 5, \dots, 2D - 5, 2D - 3$ および $2D$ の場合に、 X 番目の記憶部の容量が、シフトレジスタの容量の、 $D / D(D + 1)$ 倍であり、 $X = 2, 4, 6, \dots, 2D - 4, 2D - 2$ および $2D - 1$ の場合に、 X 番目の記憶部の容量が、シフトレジスタの容量の、 $1 / D(D + 1)$ 倍である。

【0106】

また、前記分割工程は入力した映像信号の RGB 各色毎に分割を行ない、前記 RGB 各色毎の分割工程の出力である転送信号を選択して出力する色選択工程を備える。

【0107】

また、前記色選択工程は、前記変調配線の分割されたブロック数と同数存在する色選択手段を用いて色選択を行う。

【0108】

また、各色毎の映像信号が前記分割工程で用いる記憶手段に入力する順に、前記分割工程で用いる記憶手段の各色毎の記憶部を、各色毎に番号付け、各色の D 番目の記憶部から出力された信号に対して色選択工程が色選択を行うことにより、 D 個に分割された転送信号を出力する。

【0109】

また、前記走査配線及び変調配線を介してマトリクス上に配置された複数の電子放出素子から放出される電子ビームを蛍光体に照射させて画像を形成する。

【0110】

また、前記電子放出素子は表面伝導型放出素子である。

【0111】

また、前記電子放出素子は電界放出型 (FE 型) である。

【0112】

また、前記電子放出素子は金属／絶縁体／金属型 (MIM 型) である。

【0113】

さらに、本発明に係る画像表示プログラムは、少なくとも 1 以上の走査配線と

、前記走査配線に交差するように配置されている少なくとも1以上の変調配線と、前記走査配線と変調配線との交点上に配置されている表示素子と、表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換手段と、前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数のブロックに分割された転送信号とする分割手段と、前記複数のブロックに分割された転送信号を入力する、前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタと、前記シフトレジスタに順次入力された転送信号を並列にラッチする、前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段と、前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする、前記変調配線の複数のブロックに対応して複数のブロックに分割された変調手段と、装置全体の動作タイミングを発生させるタイミング発生手段と、前記分割手段に用いる、少なくとも1以上の記憶部からなる記憶手段と、前記記憶手段の動作を制御するアドレス発生手段とを備える画像表示装置であって、前記記憶手段の容量が、前記シフトレジスタの容量以上、前記シフトレジスタの容量の2倍未満である画像表示装置に適用される画像表示プログラムであって、前記変調配線の総数を n 、転送信号の分割数を D とした場合において、前記アドレス発生手段が、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力させる前記ライトアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の1走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化させるステップと、前記アドレス発生手段が、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の1走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間内に、 $1 \sim n/D$ という順に変化させるステップと、前記アドレス発生手段が、 D 番目の前記記憶部に入力するリードアドレス信号のアドレスを、 $D-1$ 番目のリードアドレス信号と同様に、順に変化させるステップとを備える。

【0114】

さらに、本発明に係る画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体は、少なくとも1以上の走査配線と、前記走査配線に交差するように配置されている少なくとも1以上の変調配線と、前記走査配線と変調配線との交点上に配置されている表示素子と、表示する画像に対応した映像信号を前記表示素子の配置にしたがって前記表示素子ごとの輝度信号に変換する変換手段と、前記変調配線を複数のブロックに分割した場合において、前記輝度信号を、該変調配線の複数のブロックに対応して複数のブロックに分割された転送信号とする分割手段と、前記複数のブロックに分割された転送信号を入力する、前記変調配線の複数のブロックに対応して複数のブロックに分割されたシフトレジスタと、前記シフトレジスタに順次入力された転送信号を並列にラッチする、前記変調配線の複数のブロックに対応して複数のブロックに分割されたラッチ手段と、前記ラッチ手段によりラッチされた転送信号を変調して変調配線の変調信号とする、前記変調配線の複数のブロックに対応して複数のブロックに分割された変調手段と、装置全体の動作タイミングを発生させるタイミング発生手段と、前記分割手段に用いる、少なくとも1以上の記憶部からなる記憶手段と、前記記憶手段の動作を制御するアドレス発生手段とを備える画像表示装置であって、前記記憶手段の容量が、前記シフトレジスタの容量以上、前記シフトレジスタの容量の2倍未満である画像表示装置に適用される画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体であって、前記変調配線の総数を n 、転送信号の分割数を D とした場合において、前記アドレス発生手段が、前記記憶手段に入力する輝度信号の入力順に記憶部を番号付けたとして、 X 番目 ($1 \leq X \leq D$) の前記記憶部に入力させる前記ライトアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の1走査期間中の $n(X-1)/D+1$ 番目のデータが入力されてから nX/D 番目のデータが入力されるまでの期間に前記輝度信号に同期して、 $1 \sim n/D$ という順に変化させるステップと、前記アドレス発生手段が、 X 番目 ($1 \leq X \leq D-1$) の前記記憶部に入力するリードアドレス信号のアドレスを、前記記憶手段に入力する輝度信号の1走査期間中の $nX/D+1$ 番目のデータが入力されてから次の走査期間の nX/D 番目のデータが入力されるまでの期間内に、 $1 \sim n/D$

という順に変化させるステップと、前記アドレス発生手段が、D番目の前記記憶部に入力するリードアドレス信号のアドレスを、D-1番目のリードアドレス信号と同様に、順に変化させるステップとを備える画像表示プログラムを記録した。

【0115】

なお、上記記憶手段に入力する輝度信号の入力順に記憶部を番号付けるとは、記憶手段を構成する記憶部が、入力した輝度信号を、書き込む順にという意味である。すなわち、輝度信号は所定の順番のデータからなるが、この順番に沿ってデータが入力した順に、記憶部を番号付けることになる。

【0116】

上記分割手段に入力する各色毎の映像信号が入力する順に、分割手段を構成する記憶手段の各色毎の記憶部を、各色毎に番号付けるという意味も同様であり、これは、各色毎に、映像信号の順番に沿ってデータが入力した順に、記憶部を番号付けることを意味する。

【0117】

【発明の実施の形態】

以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0118】

また、以下の図面において、前述の従来技術の説明で用いた図面に記載された部材、及び既述の図面に記載された部材と同様の部材には同じ番号を付す。また、以下に説明する本発明に係る画像表示装置の各実施形態の説明は、本発明に係る画像表示方法及び画像表示プログラムの各実施形態の説明を兼ねる。

【0119】

(第1の実施形態)

まず、本発明に係る画像表示装置の第1の実施形態について図1から図3を参照して説明する。

【 0 1 2 0 】

図 1 は、本発明に係る画像表示装置の第 1 の実施形態の構成図である。第 1 の実施形態では、転送信号の分割数を 2 とした例を説明する。

【 0 1 2 1 】

図 1 において、1 はマトリクス状に走査配線と n 本の変調配線が配置された表示パネルである。2 は走査配線を駆動するための走査側駆動部である。3 は変調配線を駆動する駆動部である。

【 0 1 2 2 】

上記走査配線と変調配線との交点には本発明の構成要素たる表示素子としての電子放出素子が設けられている。このような電子放出素子としては、例えば、表面伝導型電子放出素子、電界放出型（F E 型）の電子放出素子、金属／絶縁体／金属型（M I M 型）の電子放出素子などを挙げることができる。

【 0 1 2 3 】

3 - 1 は変調駆動を行う変調駆動回路である。3 - 2 は変調データを保持するラッチ回路である。3 - 3 はシフトレジスタである。

【 0 1 2 4 】

2 は走査配線を駆動する走査側駆動部である。3 3 はパネルを駆動するためのタイミングを生成する表示タイミング生成部である。

【 0 1 2 5 】

3 0 は入力された映像信号をデジタル化する A / D 部である。3 1 は R G B それぞれの映像信号を表示パネルの画素配列に従って選択配置する R G B 選択配置部である。

【 0 1 2 6 】

3 2 は映像信号を分割して並列に転送するデータを生成する多層化バッファである。

【 0 1 2 7 】

A / D 部 3 0 はディスプレイ装置に入力された R G B それぞれの映像信号 S 1 をデジタル化し、デジタル映像信号 S 2 を生成する。

【 0 1 2 8 】

R G B 選択配置部 3 1 は、本発明の構成要素たる変換手段として機能し、デジタル映像信号 S 2 を表示パネル 1 の画素配列に対応するようにデータを選択配置し、輝度信号 S 3 を生成する。

【 0 1 2 9 】

多層化バッファ 3 2 は、本発明の構成要素たる分割手段として機能し、1 走査期間内の輝度信号 S 3 を複数のブロックに分割し、複数のブロックに分割されたシフトレジスタ 3 - 3 に平行に順次転送する、本発明の構成要素たる転送信号としての転送データ S 3 1 ~ S 3 2 を生成する。この多層化バッファ 3 2 による輝度信号 S 3 の複数のブロックへの分割は、変調配線のブロックの分割比に対応して行われる。例えば変調配線の分割比が、a 本 : b 本 : c 本であれば、輝度信号の分割比（例えば輝度信号に含まれる変調配線に対応する情報の量の比）も a : b : c となる。

【 0 1 3 0 】

シフトレジスタ 3 - 3 は転送データ S 3 1 ~ S 3 2 を駆動部 3 の入力部である。

【 0 1 3 1 】

本発明の構成要素たるラッチ手段としてのラッチ回路 3 - 2 は、シフトレジスタ 3 - 3 に蓄えられた 1 走査期間分のデータをディスプレイ駆動タイミング S 5 にしたがってラッチする。

【 0 1 3 2 】

変調駆動回路 3 - 1 は、本発明の構成要素たる変調手段として機能し、ラッチされたデータをもとに走査期間ごとに表示パネル 1 を駆動する。

【 0 1 3 3 】

また、本発明の構成要素たるタイミング発生手段としての表示タイミング生成部 3 3 では入力された映像信号 S 1 をもとにディスプレイ駆動タイミング S 4 , S 5 を生成する。

【 0 1 3 4 】

走査側駆動部 2 ではディスプレイ駆動タイミング S 4 にしたがって、表示パネル 1 の走査配線を順にスキャンする。

【0135】

以上を順次繰り返すことによって表示パネル1に画像を表示する。

【0136】

図2は、図1に示される多層化バッファ32の内部構成を示す図である。また図3は、図1に示される本発明に係る画像表示装置の第1の実施形態の動作のタイミングチャートである。

【0137】

図2において、34は多層化バッファ内のタイミング信号を発生する、本発明の構成要素たるアドレス発生手段としてのタイミングコントローラである。

【0138】

このタイミングコントローラ34には、本発明に係る画像表示プログラムを記録する記録媒体として、例えばRAM(Random Access Memory)やROM(Read Only Memory)等の主記憶装置が具備されている(不図示)。

【0139】

また、タイミングコントローラ34は、ハードウェアによるロジック(ASIC等)でも実施可能である。

【0140】

また、本発明に係る画像表示装置の第1の実施形態は、上記記録媒体の記憶容量を補うため、例えば磁気ディスク装置、光ディスク装置、半導体ディスク装置等による、フロッピーディスク、ハードディスク、CD-ROM、CD-R、CD-RW、MO等の補助記憶装置を使用するとしても良い。このことは以下の他の実施形態でも同様である。

【0141】

したがって、本発明に係る画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体は、上記主記憶装置及び補助記憶装置の少なくともいずれか一方が該当することになる。ただし、その他にもCD-ROMや、FDや、CD-Rや、CD-RWなども、本発明に係る画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体として使用することができる。

【 0 1 4 2 】

なお、本発明及び本実施形態の説明における、コンピュータ読み取り可能な記録媒体には、画像表示装置が読取可能な記録媒体の他、サーバが読み取り可能な記録媒体や、クライアントが読み取り可能な記録媒体を含むものである。

【 0 1 4 3 】

4 1, 4 2 は映像信号を一時的に貯える、本発明の構成要素たる記憶手段を構成する記憶部としてのメモリブロック A, メモリブロック B である。

【 0 1 4 4 】

このメモリブロックに用いる記憶素子が入出力を非同期に同時に行える非同期形デュアルポートタイプである。

【 0 1 4 5 】

S 3 は表示パネル 1 の素子配列に基づいて R G B の信号が選択配置された映像信号である。

【 0 1 4 6 】

S 1 1 ~ S 1 2 はメモリブロック A 4 1, メモリブロック B 4 2 に対するライトアドレス信号である。S 2 1 ~ S 2 2 はメモリブロック A 4 1, メモリブロック B 4 2 に対するリードアドレス信号である。

【 0 1 4 7 】

S 7 1 ~ S 7 2 は各メモリブロックのリードデータであり、そのまま転送信号 S 3 1 ~ S 3 2 となる。

【 0 1 4 8 】

また各メモリブロックには不図示のライトイネーブル信号が接続されており、有効なライトアドレス S 1 1 ~ S 1 2 が与えられていない期間はライトディセーブルとなる。

【 0 1 4 9 】

メモリブロック A 4 1 とメモリブロック B 4 2 の容量は、幅は映像信号 S 3 に等しく、深さは $n/2$ である。すなわち、シフトレジスタ 3 - 3 の各容量の合計（以下、1 走査配線分の容量と表記する）の $1/2$ に等しい。

【 0 1 5 0 】

タイミングコントローラ34はS11～S12およびS21～S22の各アドレスコントロール信号を生成する。以下、各信号のタイミングの詳細を説明する。

【0151】

ブロックAライトアドレス信号S11は、多層化バッファに入力する輝度信号の1走査期間中の1番目のデータが入力されてから $n/2$ 番目のデータが入力されるまでの期間（以下これを「1走査期間中の1～ $n/2$ の期間」と表記する。以下同様）に輝度信号S3に同期して1～ $n/2$ という順に変化する。

【0152】

ブロックBライトアドレス信号S12は、1走査期間中の $n/2+1\sim n$ の期間に輝度信号S3に同期して1～ $n/2$ という順に変化する。

【0153】

ブロックAおよびBリードアドレス信号S21～S22は、1走査期間中の $n/2+1\sim$ 次の走査期間の $n/2$ の期間内に1～ $n/2$ という順に変化する。

【0154】

これは必ずしも輝度信号S3に同期している必要はない。また、前記期間内であればもっと短い期間に1～ $n/2$ という順に変化してもかまわないが、それに伴い後述するデータ速度が $1/2$ まで低下しなくなるので、前記期間を目いっぱい使用（全期間を使用）することが好ましい。

【0155】

以上のコントロール信号を与えることによって、ブロックAリードデータS71には輝度信号S3の1～ $n/2$ のデータが $1/2$ 走査期間遅れて輝度信号S3のデータ速度の $1/2$ の速度で出力される。

【0156】

同様にブロックBリードデータS72には輝度信号S3の $n/2+1\sim n$ のデータが $1/2$ 走査期間遅れて輝度信号S3のデータ速度の $1/2$ の速度で出力される。

【0157】

このように、タイミングコントローラ34から、ライトアドレス信号S11、

S 1 2 及びリードアドレス信 S 2 1, S 2 2 がそれぞれのメモリブロック A 4 1 及びメモリブロック B 4 2 に入力されることにより、転送信号 S 3 1, S 3 2 が出力される。

【 0 1 5 8 】

したがって、タイミングコントローラ 3 4 のメモリブロック A 4 1 及びメモリブロック B 4 2 の制御プログラムは、本発明に係る画像表示プログラムであるといえる。このことは、以下の各実施形態において同様である。

【 0 1 5 9 】

以上により、本実施形態によれば、2つのブロックに分割したシフトレジスタに並列にデータを転送し、転送データ S 3 1 ~ S 3 2 の転送速度およびシフトレジスタ 3 - 3 の動作速度を 1 / 2 に落とすことが、シフトレジスタの 1 走査配線分の容量に等しいメモリブロックの容量で実現可能となる。

【 0 1 6 0 】

(第 2 の実施形態)

次に、本発明に係る画像表示装置の第 2 の実施形態について図 4、図 5 及び図 6 を参照して説明する。

【 0 1 6 1 】

第 2 の実施形態では、転送信号の分割数、及び、多層化バッファ 4 3 2 を構成するメモリブロックのブロック数をそれぞれ 3 として説明する。

【 0 1 6 2 】

図 4 は、本発明に係る画像表示装置の第 2 の実施形態に使用される多層化バッファ 4 3 2 及び駆動部 4 0 3 の一部の構成図である。

【 0 1 6 3 】

ここで、本発明に係る画像表示装置の第 2 の実施形態は、その全体構成及び多層化バッファ 4 3 2 及び駆動部 4 0 3 以外の部材の構成及び動作は、前述の第 1 の実施形態の図 1 に示される全体構成及び、各部材の構成及び動作と同様である。

【 0 1 6 4 】

また、図 5 及び図 6 は、図 4 に示される画像表示装置の動作のタイミングチャ

ートである。

【0165】

図4において、51は分割された映像信号S31を一定の時間遅らせる、本発明の構成要素たる遅延手段としてのディレイユニット（以下同じ）である。S41はディレイユニット51によって遅れた信号である。

【0166】

41, 42, 43はそれぞれメモリブロックA, メモリブロックB, メモリブロックCである。容量はそれぞれ1走査配線分の容量の $1/3$ である。

【0167】

S11~13はライトアドレス信号である。S21~S23はリードアドレス信号である。S71~S73は各メモリブロックのリードデータであり、そのまま転送信号S71~S73となる。

【0168】

ブロックAライトアドレス信号S11は、1走査期間中の $1 \sim n/3$ の期間に輝度信号S3に同期して $1 \sim n/3$ という順に変化する。

【0169】

ブロックBライトアドレス信号S12は、1走査期間中の $n/3 + 1 \sim 2n/3$ の期間に輝度信号S3に同期して $1 \sim n/3$ という順に変化する。

【0170】

ブロックCライトアドレス信号S13は、1走査期間中の $2n/3 + 1 \sim n$ の期間に輝度信号S3に同期して $1 \sim n/3$ という順に変化する。

【0171】

ブロックAリードアドレス信号S21は、1走査期間中の $n/3 + 1 \sim$ 次の走査期間の $n/3$ の期間内に $1 \sim n/3$ という順に変化する。これは必ずしも輝度信号S3に同期している必要はない。

【0172】

ブロックBおよびCリードアドレス信号S22~S23は、1走査期間中の $2n/3 + 1 \sim$ 次の走査期間の $2n/3$ の期間内に $1 \sim n/3$ という順に変化する。これは必ずしも輝度信号S3に同期している必要はない。

【0173】

以上のコントロール信号を与えることによって、ブロックAリードデータS71には輝度信号S3の $1 \sim n/3$ のデータが $1/3$ 走査期間遅れて輝度信号S3のデータ速度の $1/3$ の速度で出力される。

【0174】

同様にブロックBリードデータS72には輝度信号S3の $n/3 + 1 \sim 2n/3$ のデータが $2/3$ 走査期間遅れて輝度信号S3のデータ速度の $1/3$ の速度で出力される。

【0175】

同様にブロックCリードデータS73には輝度信号S3の $2n/3 + 1 \sim n$ のデータが $2/3$ 走査期間遅れて輝度信号S3のデータ速度の $1/3$ の速度で出力される。

【0176】

ディレイユニット51はブロックA転送信号S31を入力し、 $1/3$ 走査期間遅れた信号S41を出力する。このユニットに必要な記憶容量は1走査配線分の容量の $1/9$ である。

【0177】

以上により、3つのブロックに分割したシフトレジスタに平行にデータを転送し、転送データS31～S33の転送速度およびシフトレジスタ3-3の動作速度を $1/3$ に落とすことを、1走査配線分の容量に等しいメモリ容量のデュアルポートメモリと1走査配線分の容量の $1/9$ 倍に等しい容量のディレイユニットで実現可能となる。

【0178】

ここで、上記第2の実施形態では、上記目的を、メモリブロックの容量が、シフトレジスタの1走査配線分の容量に等しいメモリ容量で実現可能としているが、これを、シフトレジスタの容量以上、シフトレジスタの容量の2倍未満のメモリブロックの容量で実現しても良い。

【0179】

なぜなら、シフトレジスタの容量以上、シフトレジスタの容量の2倍未満のメ

メモリブロックの容量でも同様の効果が得られると共に、メモリブロックの容量が、シフトレジスタの容量の2倍以上になると、従来手段であるダブルバッファ法を用いることが可能になり本発明の意味がなくなる。

【0180】

そして、メモリブロックの容量としてシフトレジスタの2倍の容量を用いれば、分割数が3以上の場合でもダブルバッファ法を用いることが可能であり、本発明はそれよりも少ない容量で分割できる点が最も重要なポイントとなるからである。

【0181】

このことは、以下に説明する遅延手段（ディレイユニット）を用いる各実施形態でも同様に当てはめることができる。

【0182】

（第3の実施形態）

前述の第2の実施形態では転送信号の分割数が3の場合であった。しかし、4分割以上の場合もほぼ同様の構成で、画像表示装置を実現できる。

【0183】

ここで、本発明に係る画像表示装置の第3の実施形態は、その全体構成及び多層化バッファ及び駆動部以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

【0184】

例えば、図4を参照しつつ、分割数を D ($D \geq 4$) とすると、 X 番目 ($X = 1 \sim D$) のライトアドレス信号は、1走査期間中の $n(X-1)/D + 1 \sim nX/D$ の期間に輝度信号 S_3 に同期して $1 \sim n/D$ という順に変化する。

【0185】

X 番目 ($X = 1 \sim D-1$) のリードアドレス信号は、1走査期間中の $nX/D + 1 \sim$ 次の走査期間の nX/D の期間内に $1 \sim n/D$ という順に変化する。

【0186】

D 番目のリードアドレス信号は $D-1$ 番目のリードアドレス信号と同じである。

【0187】

以上のコントロール信号を与えることによって、X番目 ($X=1 \sim D-1$) のリードデータには輝度信号 S3 の $n(X-1)/D+1 \sim nX/D$ のデータが X/D 走査期間遅れて輝度信号 S3 のデータ速度の $1/D$ の速度で出力される。

【0188】

D番目のリードデータには $n(D-1)/D+1 \sim n$ のデータが $(D-1)/D$ 走査期間遅れて輝度信号 S3 のデータ速度の $1/D$ の速度で出力される。

【0189】

X番目 ($X=1 \sim D-2$) のディレイユニットはそれぞれの転送データを入力し、 $(D-X-1)/D$ 走査期間遅れた信号を出力する。

【0190】

このディレイユニットに必要な記憶容量は、1走査配線分の容量の $(D-X-1)/D$ 2倍である。

【0191】

以上により、Dのブロックに分割したシフトレジスタに並列にデータを転送し、転送データの転送速度およびシフトレジスタの動作速度を $1/D$ に落とすことが、1走査配線分の容量に等しいメモリ容量のデュアルポートメモリと以下の式(9) 倍に等しい容量のディレイユニットで実現可能となる。

【0192】

【数9】

$$\sum_{X=1}^{D-2} \left(\frac{D-X-1}{D^2} \right)$$

・・・ (9)

【0193】

(第4の実施形態)

前述の第1の実施形態から第3の実施形態の画像表示装置では、駆動部(例え

ば図1に示される駆動部3)におけるシフトレジスタを等分割する場合の例であった。

【0194】

そこで、以下に、駆動部を不等分割する場合の実施形態を第4の実施形態として説明する。

【0195】

図7に、本発明に係る画像表示装置の第4の実施形態における多層化バッファ732及び駆動部703の構成図を示し、図8に、図7に示される画像表示装置のタイミングチャートを示す。

【0196】

なお、本発明に係る画像表示装置の第4の実施形態において、全体構成及び多層化バッファ732及び駆動部703以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

【0197】

本実施形態では、駆動部703のブロック分けを、1:2:2で不等分割とする。

【0198】

例えば、表示パネル1の変調配線の数 n が1000本だとすると、200:400:400の割合でブロック分けを行う。

【0199】

741, 742, 743はメモリブロックである。容量はメモリブロックA741が1走査配線分の容量の $1/5$ 、メモリブロックB742及びメモリブロックC743がそれぞれ1走査配線分の容量の $2/5$ である。

【0200】

S11~13はライトアドレス信号である。S21~S23はリードアドレス信号である。S71~S73は各メモリブロックのリードデータであり、そのまま転送信号S31~S33となる。

【0201】

図8に示されるように、ブロックAライトアドレス信号S11は、1走査期間中の $1 \sim n/5$ の期間に輝度信号S3に同期して $1 \sim n/5$ という順に変化する。

【0202】

ブロックBライトアドレス信号S12は、1走査期間中の $n/5 + 1 \sim 3n/5$ の期間に輝度信号S3に同期して $1 \sim 2n/5$ という順に変化する。

【0203】

ブロックCライトアドレス信号S13は、1走査期間中の $3n/5 + 1 \sim n$ の期間に輝度信号S3に同期して $1 \sim 2n/5$ という順に変化する。

【0204】

ブロックAリードアドレス信号S21は、1走査期間中の $3n/5 + 1 \sim$ 次の走査期間の $0.5n/5$ の期間内に $1 \sim n/5$ という順に変化する。これは必ずしも輝度信号S3に同期している必要はない。

【0205】

ブロックBおよびCリードアドレス信号S22～S23は、1走査期間中の $3n/5 + 1 \sim$ 次の走査期間の $3n/5$ の期間内に $1 \sim 2n/5$ という順に変化する。これは必ずしも輝度信号S3に同期している必要はない。

【0206】

以上のコントロール信号を与えることによって、ブロックAリードデータS71には輝度信号S3の $1 \sim n/5$ のデータが $3/5$ 走査期間遅れて輝度信号S3のデータ速度の $2/5$ の速度で出力される。

【0207】

同様にブロックBリードデータS72には輝度信号S3の $n/5 + 1 \sim 3n/5$ のデータが $3/5$ 走査期間遅れて輝度信号S3のデータ速度の $2/5$ の速度で出力される。

【0208】

同様にブロックCリードデータS73には輝度信号S3の $3n/5 + 1 \sim n$ のデータが $3/5$ 走査期間遅れて輝度信号S3のデータ速度の $2/5$ の速度で出力される。

【 0 2 0 9 】

以上により、3つのブロックに分割したシフトレジスタに並列にデータを転送し、転送データ S 3 1 ~ S 3 3 の転送速度およびシフトレジスタの動作速度を 2 / 5 に落とすことが、1 走査配線分の容量に等しいメモリ容量で実現可能となる。

【 0 2 1 0 】

(第 5 の実施形態)

また、前述の第 4 の実施形態と同様にして、分割比を異なる値に設定する場合も実現可能である。この場合の実施形態を本発明に係る画像表示装置の第 5 の実施形態として説明する。

【 0 2 1 1 】

本第 5 の実施形態の実施形態において、全体構成及び多層化バッファ及び駆動部以外の部材の構成及び動作は、前述の第 1 の実施形態の図 1 に示される全体構成及び、各部材の構成及び動作と同様である。

【 0 2 1 2 】

本実施形態では、駆動部のシフトレジスタの分割数が 3 でそれぞれの分割比が、 $a : b : c$ とする。

【 0 2 1 3 】

さらに分割後の転送データの転送速度が、輝度信号 S 3 の M 倍であるとする (M : 実数)、以下の式 (1 0) の条件が満たされていれば 1 走査配線分の容量に等しいメモリ容量で本発明が適用可能である。

【 0 2 1 4 】

【数 1 0】

$$a \leq M(a + c) \quad b \leq M(a + b + c) \quad c \leq M(a + b + c)$$

・ ・ ・ (1 0)

【 0 2 1 5 】

さらに、以下の式 (1 1) を満たすときに 3 分割の場合での最低の転送速度となり、最良の結果が得られる。

【0216】

【数11】

$$a = M(a+c) \quad b = M(a+b+c) \quad c = M(a+b+c)$$

... (11)

【0217】

また4分割以上の場合でも同様に分割手段での分割数をD、分割比が $d[1]$
: $d[2]$:...: $d[D-1]$: $d[D]$ 、前記分割手段から出力された転送信号の転送速度が、前記輝度信号のM倍の速度であるとしたときに以下の式(12)の条件(条件1a)が満たされていれば1走査配線分の容量に等しいメモリ容量で本発明が適用可能である。

【0218】

【数12】

$$d[X] \leq M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X=1 \sim D-1]$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right)$$

... (12)

【0219】

さらに、以下の式(13)(条件1b)を満たすときに最低の転送速度となり最良の結果が得られ、1走査配線分の容量に等しいメモリ容量でシフトレジスタおよび分割後の転送速度を下げる事が可能である。

【0220】

【数 1 3】

$$d[X] = M \left(d[D] + \sum_{x=1}^X d[x] \right) \quad [X = 1 \sim D-1]$$

$$d[D] = M \left(\sum_{x=1}^D d[x] \right)$$

. . . (13)

【0 2 2 1】

上記のように、(1) 条件 1 a が満たされていれば 1 走査線分の容量に等しいメモリ容量で本発明が適用可能な根拠、及び、(2) 条件 1 b が満たされていれば、最低の転送速度となり最良の結果が得られ、1 走査線分の容量に等しいメモリ容量でシフトレジスタ 3-3 および分割後の転送速度を下げる事が可能である根拠、について以下に説明する。

【0 2 2 2】

まず、前提条件として、

(条件 1) リードアドレスの出始めはライトアドレスの出始めよりも前に出られない (データを書き込む前に読むことはできない)

(条件 2) リードアドレスの出終わりは、次のラインのライトアドレスの出終わりより遅れることはできない (データを追い越せない)

(条件 3) 全てのリードデータは同時に異なるラインのデータを転送することはできない (パネルの表示 (駆動) は、同じラインは同時に行う)

をふまえたうえで、以下の式 (14) の式 (a)、(b) を参照しつつ図 13 を参照しつつ説明する。

【0 2 2 3】

【数 14】

$$d[X] \leq M \left(\underset{\uparrow (1)}{d[D]} + \underset{\uparrow (2)}{\sum_{x=1}^X d[x]} \right) \quad [X=1 \sim D-1] \quad \dots (a)$$

$$d[D] \leq M \left(\sum_{x=1}^D d[x] \right) \quad \dots (b)$$

・・・ (14)

【0224】

ここで、(a) 式 (1) 項は、 $x=D$ の場合の分割比、(a) 式 (2) 項は、 $x=1 \sim X$ ($X=1 \sim D-1$) の場合の分割比の和である。

【0225】

最終ブロック $d[D]$ がリードアドレスを出力可能な期間は、自ブロックのライトアドレスの出始めから、次のラインの自ブロックのライトアドレスの出始めまでである。すなわち全てのブロックの和ということになる (b 式)。

【0226】

そして、後ろから 2 番目のブロック $d[D-1]$ の場合は、最終ブロック $d[D]$ と同時にリードアドレスを出し始め (条件 3)、次のラインの自ブロックのライトアドレスの出終わりまでリードアドレスを出せる (条件 2)。結局、後ろから 2 番目のブロックも 1 ラインの期間いっぱいを使うことができる。

【0227】

後ろから 3 番目のブロックでも同様に、最終ブロック $d[D]$ と同時にリードアドレスを出し始め (条件 3)、次のラインの自ブロックのライトアドレスの出終わりまでリードアドレスを出せるが (条件 2)、1 ライン期間全てを使い切ることはできない。

【0228】

以上をまとめて一般化すると前述の式 (12) のような条件となる。

【0229】

また、前述の式(13)の条件を満たした場合は、無駄な時間がなくなるのでMは最低となる。無駄時間は、例えば第4の実施形態のS21における $0.5n/5 \sim n/5$ の期間になる。

【0230】

また、最終ブロックの出力タイミングはもっと後ろにずらすこともできるが、そうすると(条件1)により後ろから2番目のブロックの出力期間が減ってしまうので時間効率が悪くなる。

【0231】

(第6の実施形態)

以上で説明した実施形態では多層化バッファ内の記憶装置(具体的には各メモリブロック)に、データの書き込みと読み込みとを同時に行えるデュアルポートタイプの記憶装置を用いていたが、データの書き込みと読み込みとを同時に行えないシングルポートタイプの記憶装置(メモリブロック)を用いる場合でも本発明を適用可能である。

【0232】

そこで、シングルポートタイプの記憶装置を用いた画像表示装置を本発明に係る画像表示装置の第6の実施形態として以下に説明する。

【0233】

本第6の実施形態では転送信号の分割数を2として説明する。図9は、本発明に係る画像表示装置の第6の実施形態における多層化バッファ932および駆動部903の構成図、図10、図11及び図12は、図9に示される画像表示装置の動作のタイミングチャートである。

【0234】

ここで、本発明に係る画像表示装置の第6の実施形態は、その全体構成及び多層化バッファ932及び駆動部903以外の部材の構成及び動作は、前述の第1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

【0235】

図9において、961は、本発明の構成要素たる選択手段としての選択器であ

る。この選択器 961 はメモリブロックのリード信号 S31, S32 の内の有効なデータを選択し、S312 を出力する。選択器 962 も同様である。

【0236】

S11~S14 はアドレス信号である。メモリブロックのリード/ライトアドレスを選択する。S51~S54 はメモリコントロール信号である。メモリブロックのリード/ライト動作の切り替えを行う。

【0237】

971 は、本発明の構成要素たる切り替え手段としての入出力切り替え器である。メモリコントロール信号 S51 に従ってデータの入出力の方向を切り替える。972, 973, 974 も同様に入出力切り替え器である。

【0238】

図10、図11及び図12に示されるように、ブロックAアドレス信号 S11 のアドレスは、1走査期間中の $1 \sim 2n/6$ の期間に輝度信号 S3 に同期して $1 \sim 2n/6$ という順に変化する。この期間のコントロール信号 S51 は“WRITE”である。

【0239】

またブロックAアドレス信号 S11 のアドレスは、1走査期間中の $2n/6 + 1 \sim n$ の期間内に $1 \sim 2n/6$ という順に変化する。これは必ずしも輝度信号 S3 に同期している必要はない。この期間のコントロール信号 S51 は“READ”である。

【0240】

ブロックBアドレス信号 S12 のアドレスは、1走査期間中の $2n/6 + 1 \sim 3n/6$ の期間に輝度信号 S3 に同期して $1 \sim n/6$ という順に変化する。この期間のコントロール信号 S52 は“WRITE”である。

【0241】

またブロックBアドレス信号 S12 のアドレスは、1走査期間中の $1 \sim 2n/6$ の期間内に $1 \sim n/6$ に変化する。これは必ずしも輝度信号 S3 に同期している必要はない。この期間のコントロール信号 S52 は“READ”である。

【0242】

選択器 961 は 1 走査期間中の $1 \sim 2n/6$ の期間は S72 を選択し、 $2n/6 + 1 \sim n$ の期間は S71 を選択して S31 を出力する。

【0243】

ブロック C アドレス信号 S13 のアドレスは、1 走査期間中の $3n/6 + 1 \sim 4n/6$ の期間に輝度信号 S3 に同期して $1 \sim n/6$ という順に変化する。この期間のコントロール信号 S53 は “WRITE” である。

【0244】

またブロック C アドレス信号 S13 のアドレスは、1 走査期間中の $4n/6 + 1 \sim n$ の期間内に $1 \sim n/6$ という順に変化する。これは必ずしも輝度信号 S3 に同期している必要はない。この期間のコントロール信号 S53 は “READ” である。

【0245】

ブロック D アドレス信号のアドレス S14 は、1 走査期間中の $4n/6 + 1 \sim n$ の期間に輝度信号 S3 に同期して $1 \sim 2n/6$ という順に変化する。この期間のコントロール信号 S54 は “WRITE” である。

【0246】

またブロック D アドレス信号 S14 のアドレスは、1 走査期間中の $1 \sim 4n/6$ の期間内に $1 \sim 2n/6$ という順に変化する。これは必ずしも輝度信号 S3 に同期している必要はない。この期間のコントロール信号 S54 は “READ” である。

【0247】

選択器 962 は 1 走査期間中の $1 \sim 4n/6$ の期間は S74 を選択し、 $4n/6 + 1 \sim n$ の期間は S73 を選択して S32 を出力する。

【0248】

以上のコントロール信号を与えることによって、選択器 961 の出力 S312 には輝度信号 S3 の $1 \sim 3n/6$ のデータが $2/6$ 走査期間遅れて輝度信号 S3 のデータ速度の $1/2$ の速度で出力される。

【0249】

同様に選択器 962 の出力 S334 には輝度信号 S3 の $4n/6 + 1 \sim n$ のデ

ータが4/6走査期間遅れて輝度信号S3のデータ速度の1/2の速度で出力される。

【0250】

本発明の構成要素たる遅延手段としてのディレイユニット951は選択器961の出力S312を入力し、2/6走査期間遅れた信号S41を出力する。このディレイユニット951に必要な記憶容量は1走査配線分の容量の1/9である。

【0251】

以上により、2つのブロックに分割したシフトレジスタに平行にデータを転送し、データS31とS32の転送速度およびシフトレジスタ903-3の動作速度を1/2に落とすことを、1走査配線分の容量に等しいメモリ容量のシングルポートメモリと1/9倍の容量に等しい容量のディレイユニットで実現可能となる。

【0252】

(第7の実施形態)

次に、シングルポートタイプの記憶装置(メモリブロック)を用い、かつ、転送信号及び駆動部を3分割以上に分割する場合の実施形態を本発明に係る画像表示装置の第7の実施形態として説明する。

【0253】

本実施形態は、前述の第1の実施形態から第5の実施形態で述べた手法を組み合わせることによって、シングルポートメモリを用いて多層化バッファを構成する。

【0254】

図13は、本発明に係る画像表示装置の第7の実施形態における多層化バッファ1332および駆動部1303の一部の構成図であり、図14、図15及び図16は、図13に示される画像表示装置の動作のタイミングチャートである。

【0255】

なお、本発明に係る画像表示装置の第7の実施形態は、その全体構成及び多層化バッファ1332及び駆動部1303以外の部材の構成及び動作は、前述の第

1の実施形態の図1に示される全体構成及び、各部材の構成及び動作と同様である。

【0256】

本第7の実施形態では、前述の第2の実施形態での各メモリブロックをさらにそれぞれ2分割し、また、第6実施形態で示したように交互にリード／ライトを行う。

【0257】

メモリブロックを2分割するときの分割比は1：2～2：1の範囲で選択可能であるが、最終ブロックを1：2、その他のブロックを2：1に分割すると最もメモリの使用量を少なくすることができる。

【0258】

3分割以上の場合であると、第2又は3の実施形態との組み合わせになる。これも同様に各メモリブロックをさらにそれぞれ2分割し、第6の実施形態で示したように交互にリード／ライトを行う。

【0259】

2分割するときの分割比は1：D～D：1の範囲で選択可能であり、このときのメモリブロックの容量はそれぞれ、画像表示装置の駆動部が持つ全シフトレジスタの容量の $1/D(D+1) \sim D/D(D+1)$ 倍となる。

【0260】

すなわち、2分割した場合の2つのメモリブロックの記憶容量の分割比は、メモリブロックに入力する輝度信号の入力順にメモリブロックを番号付けたとして、それぞれの2分割されたメモリブロック毎に、奇数番目の記憶部の容量と偶数番目の記憶部の容量とが、 $1/D \leq (\text{奇数番目の記憶部の容量}) / (\text{偶数番目の記憶部の容量}) \leq D$ を満たすことになる。

【0261】

ここで、なぜ、2分割するときの分割比は1：D～D：1の範囲で選択可能であり、このときのメモリブロックの容量はそれぞれシフトレジスタの容量の $1/D(D+1) \sim D/D(D+1)$ 倍となるのかについて以下に説明する。

【0262】

転送信号S31～の数をD本、S11のWRITE期間をW1、READ期間をR1、S12のWRITE期間をW2、READ期間をR2、また1ラインの期間をT、さらにメモリブロック41、42の分割比を1:n、とする。

【0263】

リード信号は1ライン期間をいっぱいに使って出力されるので

$$R1 + R2 = T \cdots (1)$$

【0264】

入力信号S3は最終的にはD分割されてS31～として出力されるのでS31～の転送速度は1/Dとなり、 $R1 = D \cdot W1$ 、 $R2 = D \cdot W2$ より

$$W1 + W2 = T/D \cdots (2)$$

【0265】

(1) (2) より

$$R1 + W1 + R2 + W2 = T (1 + 1/D) \cdots (3)$$

【0266】

メモリブロック41、42の分割比が1:nであることから

$$R1 = R2/n \cdots (4)$$

$$W1 = W2/n \cdots (5)$$

$$R2 = n R1 \cdots (6)$$

$$W2 = n W1 \cdots (7)$$

【0267】

また、各メモリブロック41、42ではリード動作とライト動作を同時に行うことはできず、さらに1ライン期間以内に動作を終了させなくてはならないので

$$R1 + W1 < T \cdots (8)$$

$$R2 + W2 < T \cdots (9)$$

が制約条件となる。

【0268】

ここで、(3) (4) (5) より、

$$(R2 + W2) (1 + 1/n) = T (1 + 1/D) \cdots (10)$$

【0269】

さらに(9)、(10)より

$$n < D \cdots (11)$$

【0270】

同様に(3)、(6)、(7)、(8)より

$$n > 1/D \cdots (12)$$

【0271】

そして、(11)、(12)よりメモリブロック41、42の分割比は1:D～D:1となる

【0272】

また、最終ブロックを1:D、その他のブロックをD:1に分割する、すなわちX番目のメモリブロックの容量がシフトレジスタの容量の $D/D(D+1)$ 倍($X=1, 3, 5, \dots, 2D-5, 2D-3$ および $2D$)、 $1/D(D+1)$ 倍($X=2, 4, 6, \dots, 2D-4, 2D-2$ および $2D-1$)とすると、最もメモリの使用量を少なくすることができる。

【0273】

ここで、最もメモリの使用量を少なくするための、(1)最終ブロックを1:D、その他のブロックをD:1に分割する根拠、(2)X番目のメモリブロックの容量がシフトレジスタの容量の $D/D(D+1)$ 倍($X=1, 3, 5, \dots, 2D-5, 2D-3$ および $2D$)、 $1/D(D+1)$ 倍($X=2, 4, 6, \dots, 2D-4, 2D-2$ および $2D-1$)とする根拠、について説明する。

【0274】

(1)最終ブロックを1:D、その他のブロックをD:1に分割する根拠
念のため補足するが、ここでいう「使用量を少なくすることができるメモリ」はディレイライン51～に相当するメモリであり、メモリブロック41～の容量は変わらない。

【0275】

本実施形態では転送信号S31～は多層化バッファ32より出力される際にタイミングがずれるので、ディレイライン51～によってタイミングを揃える。

【0276】

転送信号S31～のタイミングは、初めのブロック（S31）が最も早いタイミングで出力され、最終ブロックが最も遅く出力される。

【0277】

よってディレイラインを入れて全てのタイミングを最終ブロックに揃える。

【0278】

一方メモリブロック41，42では、この分割比を1：D～D：1の間で変化させると出力されるタイミングも変化する。

【0279】

具体的には分割比が1：Dのとき最も早く出力され、D：1のときに最も遅く出力される。

【0280】

最終ブロックは他のブロックに待ってもらわなくてはならないので最も早く出力される1：Dを、他のブロックはできるだけ遅く出力された方がディレイライン51～の容量を減らすことができるのでD：1を選ぶことになる。

【0281】

（2）X番目のメモリブロックの容量について

X番目のメモリブロック41～の分割比が決定すれば、転送データS31～による分割比 $1/D$ と、メモリブロック内での分割比1：DあるいはD：1（ $1/(D+1)$ ， $D/(D+1)$ ）から、 $D/D(D+1)$ 倍（ $X=1, 3, 5, \dots$ ， $2D-5, 2D-3$ および $2D$ ）、 $1/D(D+1)$ 倍（ $X=2, 4, 6, \dots$ ， $2D-4, 2D-2$ および $2D-1$ ）となる。

【0282】

その他の動作の詳細は既に説明した実施形態とほぼ同様であり、前述の各実施形態と同様に、少ないメモリ容量で、シフトレジスタの動作速度を低減することができる。

【0283】

（第8の実施形態）

次に、本発明に係る画像表示装置の第8の実施形態として、RGB選択配置部

と多層化バッファと組み合わせる実施形態について説明する。

【 0 2 8 4 】

図 1 7 は、本発明に係る画像表示装置の第 8 の実施形態における全体の構成図である。1 7 3 2 は R G B 選択配置部と一体化した多層化バッファであり、R G B 毎の映像信号 S 2 を入力して、R G B 選択配置および多層化を行う。

【 0 2 8 5 】

なお、本発明に係る画像表示装置の第 8 の実施形態において、多層化バッファ 1 7 3 2 以外の動作及び構造は、前述の第 1 の実施形態の動作及び構造と同様である。

【 0 2 8 6 】

図 1 8 は、図 1 7 に示される画像表示装置に用いられる R G B 選択配置部と一体化した多層化バッファ 1 7 3 2 の構成図であり、図 1 9、図 2 0 及び図 2 1 は、図 1 7 に示される画像表示装置の第 8 の実施形態の動作のタイミングチャートである。

【 0 2 8 7 】

表示パネル 1 の変調配線数は n であるので R G B 別の水平画素数 $m = n / 3$ である。また、表示パネル 1 の画素配列は R G B の順で並んでいるとする。

【 0 2 8 8 】

図 1 8 に示される S 3 - 1 ~ S 3 - 3 は R G B それぞれの映像信号である。S 6 1 は R G B 選択配置を行うための色選択信号である。1 8 8 1、1 8 8 2 は色選択信号 S 6 1 に基づいて色選択を行う色選択器である。S 3 1 および S 3 2 は R G B 選択配置されてさらに分割された転送信号である。

【 0 2 8 9 】

映像信号 S 3 - 1 を、メモリブロック A 1 3 4 1、メモリブロック B 1 8 4 2 を用いて前述の第 1 の実施形態と同様の方法にて S 7 1 ~ S 7 2 に分割する。S 7 1 ~ S 7 2 は映像信号 S 3 - 1 の半分のデータ速度となる。

【 0 2 9 0 】

同様にして映像信号 S 3 - 2 ~ S 3 - 3 も同様の方法にて S 7 3 ~ S 7 6 に分割する。

【0291】

そして、図19、図20及び図21に示されるように、色選択信号S61は分割されたRGB信号S71～S76の3倍の速度に同期してRGBの順に変化しつづける。

【0292】

色選択器1881は分割された映像信号S71、S73、S75を入力し、色選択信号S61に応じて信号を選択して転送信号S31を出力する。

【0293】

同様に色選択器1882も分割された映像信号S32、S34、S36を入力し、転送信号S32を出力する。

【0294】

以上により、映像信号S2の1.5倍の速度でRGB選択配置された転送信号S31およびS32を生成することが1走査配線分の容量に等しい記憶容量で実現可能となる。

【0295】

また同様にして、前述の第2の実施形態乃至第7の実施形態で説明した方法とRGB選択配置を組み合わせることも当然可能である。

【0296】

【発明の効果】

以上説明したように本発明によれば、シフトレジスタの動作速度が低速でかつメモリの使用量の少ない画像表示装置を提供することが可能となる。

【図面の簡単な説明】

【図1】

本発明に係る画像表示装置の第1の実施形態の構成図である。

【図2】

図1に示される多層化バッファ32の内部構成を示す図である。

【図3】

図1に示される本発明に係る画像表示装置の第1の実施形態の動作のタイミングチャートである。

【図 4】

本発明に係る画像表示装置の第 2 の実施形態に使用される多層化バッファ 4 3 2 及び駆動部 4 0 3 の一部の構成図である。

【図 5】

図 4 に示される画像表示装置の動作のタイミングチャートである。

【図 6】

図 4 に示される画像表示装置の動作のタイミングチャートである。

【図 7】

本発明に係る画像表示装置の第 4 の実施形態における多層化バッファ 7 3 2 及び駆動部 7 0 3 の構成図である。

【図 8】

図 7 に示される画像表示装置のタイミングチャートである。

【図 9】

本発明に係る画像表示装置の第 6 の実施形態における多層化バッファ 9 3 2 および駆動部 9 0 3 の構成図である。

【図 1 0】

図 9 に示される画像表示装置の動作のタイミングチャートである。

【図 1 1】

図 9 に示される画像表示装置の動作のタイミングチャートである。

【図 1 2】

図 9 に示される画像表示装置の動作のタイミングチャートである。

【図 1 3】

本発明に係る画像表示装置の第 7 の実施形態における多層化バッファ 1 3 3 2 および駆動部 1 3 0 3 の一部の構成図である。

【図 1 4】

図 1 3 に示される画像表示装置の動作のタイミングチャートである。

【図 1 5】

図 1 3 に示される画像表示装置の動作のタイミングチャートである。

【図 1 6】

図 1 3 に示される画像表示装置の動作のタイミングチャートである。

【図 1 7】

本発明に係る画像表示装置の第 8 の実施形態における全体の構成図である。

【図 1 8】

図 1 7 に示される画像表示装置に用いられる、RGB 選択配置部と一体化した多層化バッファ 1 7 3 2 の構成図である。

【図 1 9】

図 1 7 に示される画像表示装置の第 8 の実施形態の動作のタイミングチャートである。

【図 2 0】

図 1 7 に示される画像表示装置の第 8 の実施形態の動作のタイミングチャートである。

【図 2 1】

図 1 7 に示される画像表示装置の第 8 の実施形態の動作のタイミングチャートである。

【図 2 2】

特開平 5 - 1 0 0 6 3 2 号公報に示されている従来の画像表示装置の構成を示す構成図である。

【図 2 3】

図 2 2 に示される画像表示装置のタイミングチャートである。

【図 2 4】

従来の画像表示装置の構成図である。

【図 2 5】

図 2 4 に示される画像表示装置のタイミングチャートである。

【図 2 6】

USP 5 7 1 0 6 0 4 に示される画像表示装置の構成図である。

【図 2 7】

図 2 6 に示される画像表示装置のタイミングチャートである。

【図 2 8】

従来のマトリクス表示パネルを用いた画像表示装置の構成図である。

【図 2 9】

図 2 8 に示される画像表示装置の信号のタイミングチャートである。

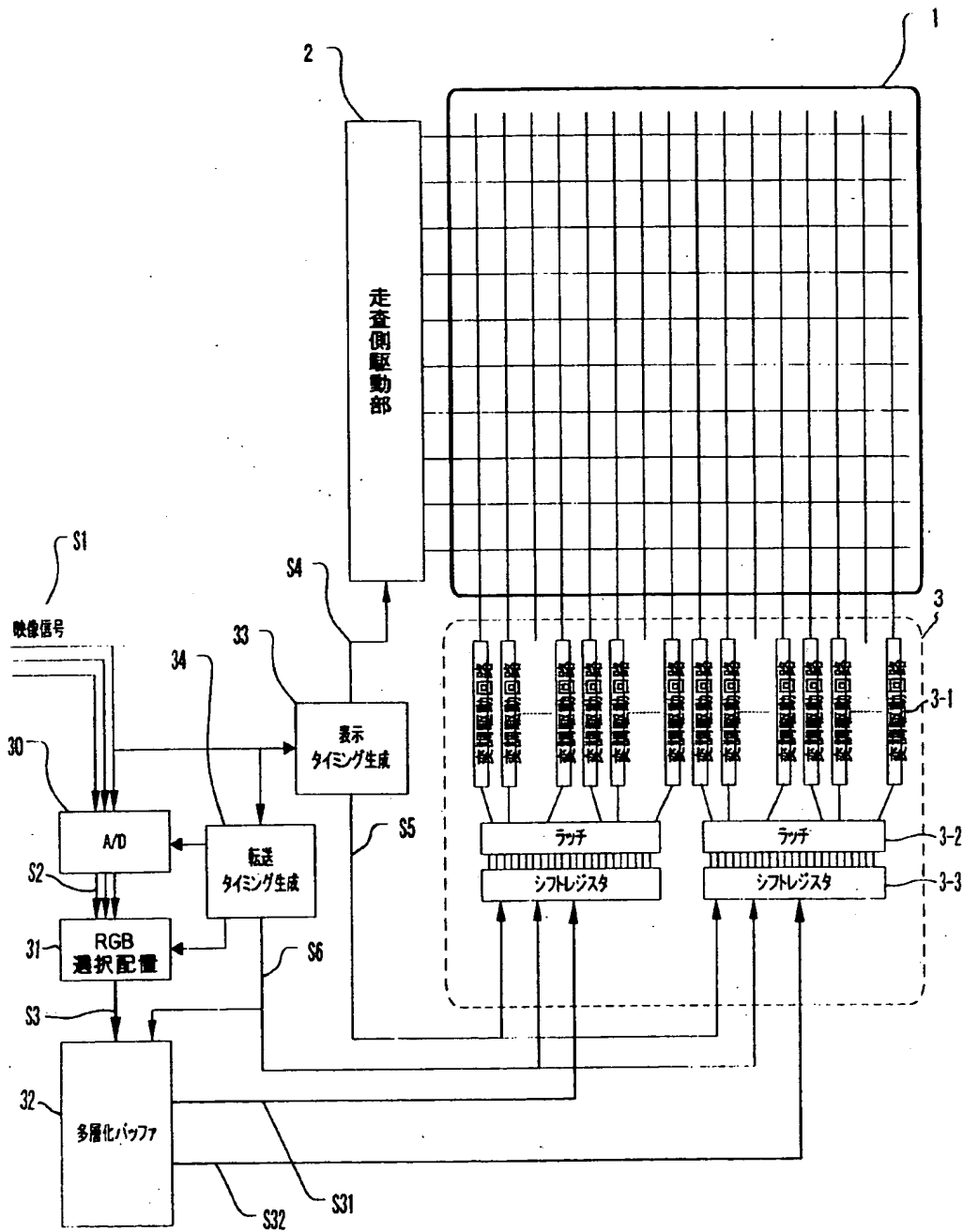
【符号の説明】

- 1 表示パネル
- 2 走査側駆動部
- 3 駆動部
 - 3-1 変調駆動回路
 - 3-2 ラッチ回路
 - 3-3 シフトレジスタ
- 31 選択配置部
- 32 多層化バッファ
- 33 表示タイミング生成部
- 34 タイミングコントローラ
- 41 メモリブロック A
- 42 メモリブロック B
- 43 メモリブロック C
- 51 デイレイユニット
- 403 駆動部
 - 432 多層化バッファ
- 703 駆動部
 - 703-3 シフトレジスタ
 - 732 多層化バッファ
 - 734 タイミングコントローラ
 - 741 メモリブロック A
 - 742 メモリブロック B
 - 743 メモリブロック C
- 903 駆動部
 - 903-3 シフトレジスタ

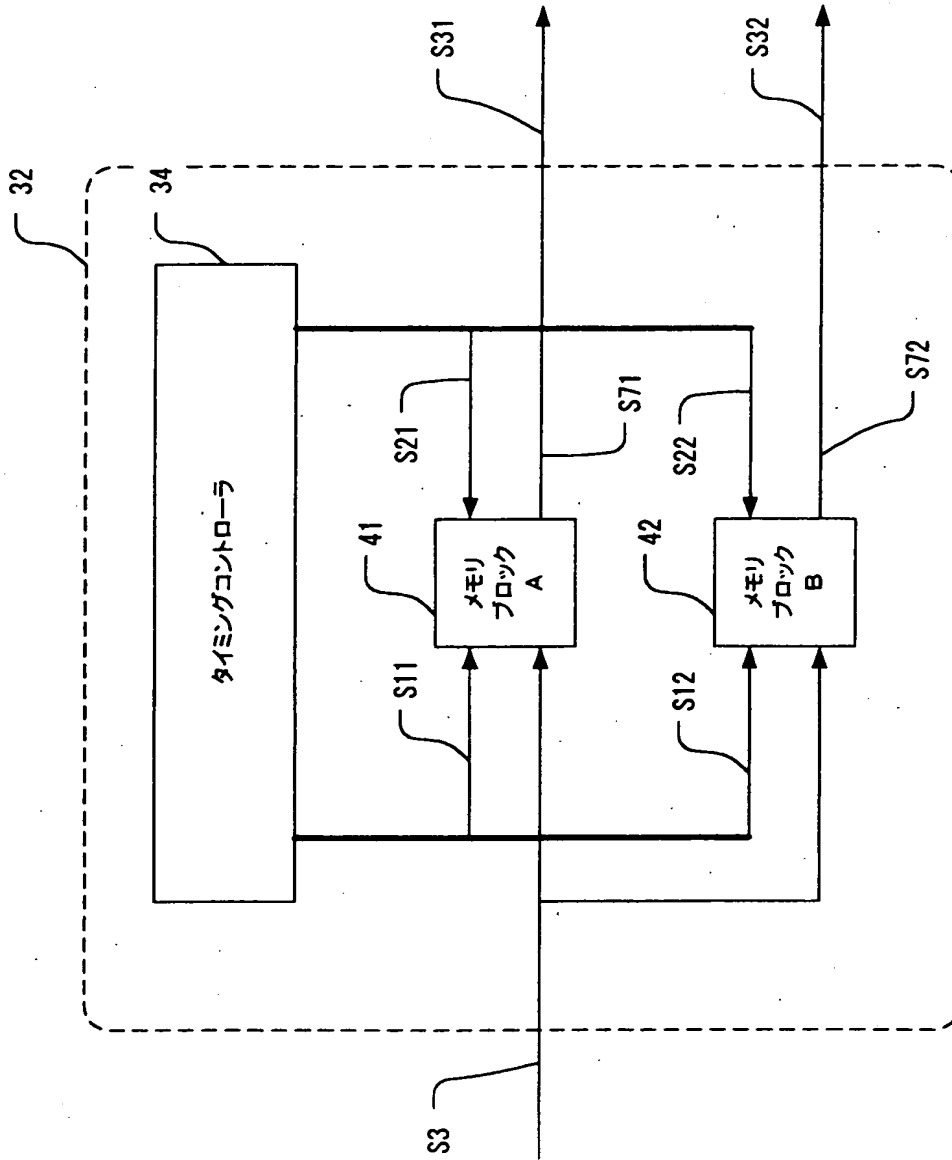
932 多層化バッファ
941 メモリブロックA
942 メモリブロックB
943 メモリブロックC
944 メモリブロックD
951 デイレイユニット
961, 962 選択器
971, 972, 973, 974 入出力切り替え器
1303 駆動部
1303-3 シフトレジスタ
1332 多層化バッファ
1341 メモリブロックA
1342 メモリブロックB
1343 メモリブロックC
1344 メモリブロックD
1345 メモリブロックE
1346 メモリブロックF
1351, 1352 デイレイユニット
1361, 1362, 1363 選択器
1371, 1372, 1373, 1374, 1375 入力切り替え器
1732 多層化バッファ
1841 メモリブロックA
1842 メモリブロックB
1843 メモリブロックC
1844 メモリブロックD
1845 メモリブロックE
1846 メモリブロックF
1881, 1882 色選択器

【書類名】 図面

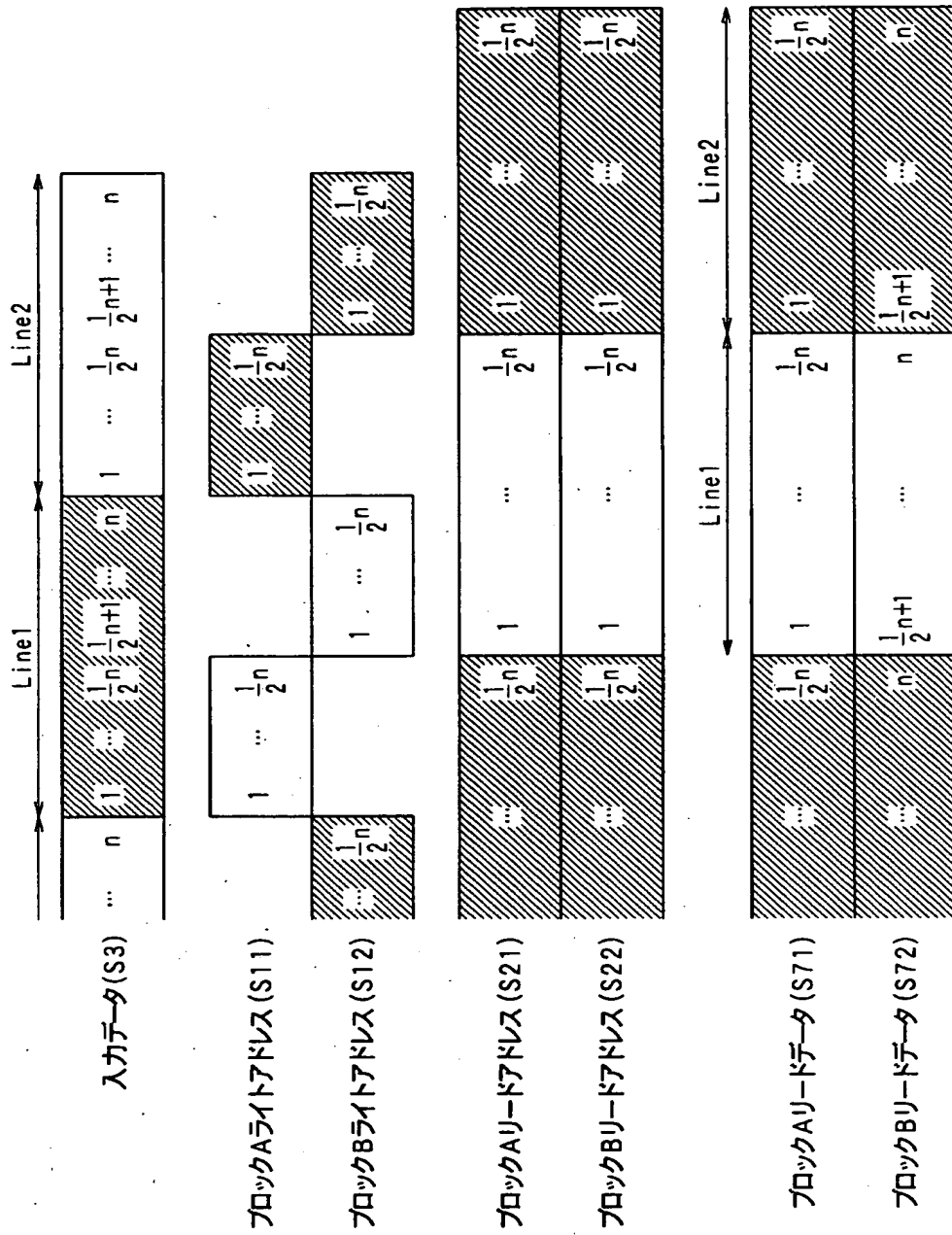
【図1】



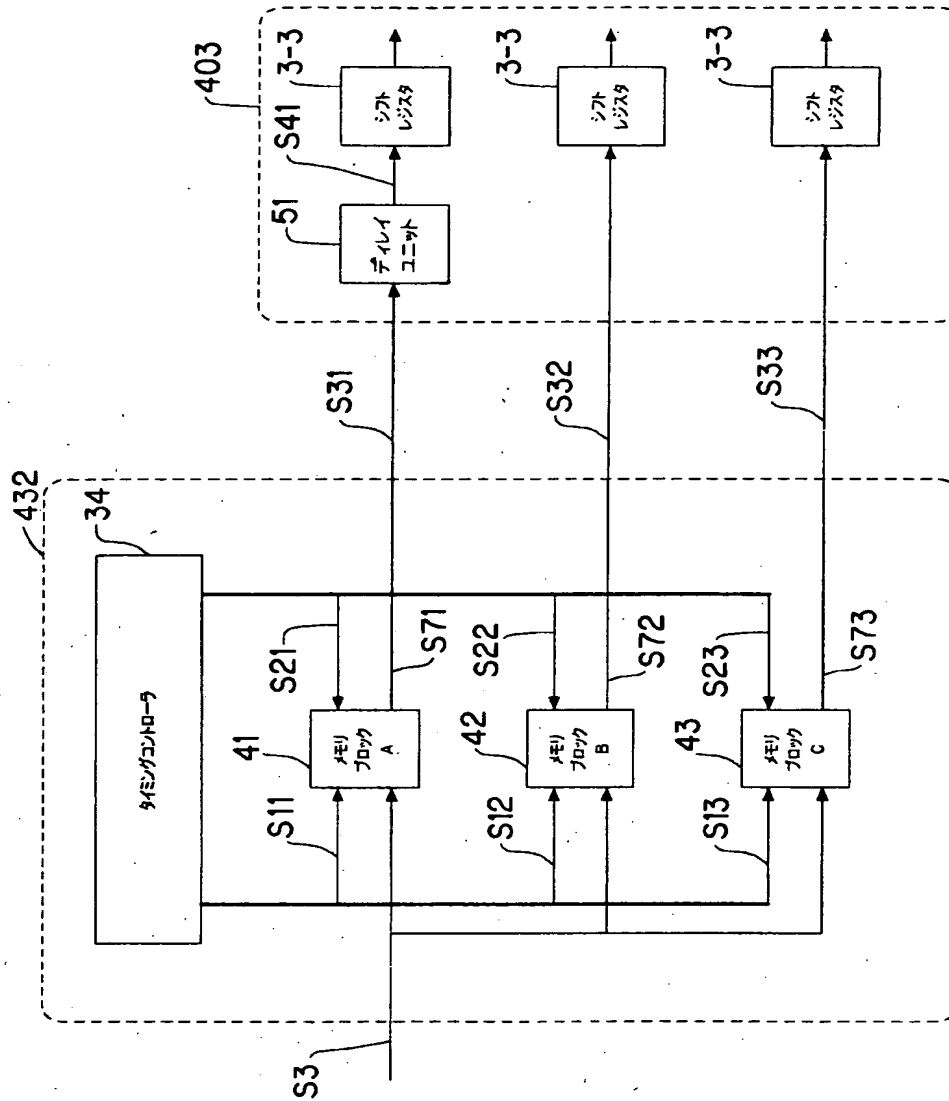
【図2】



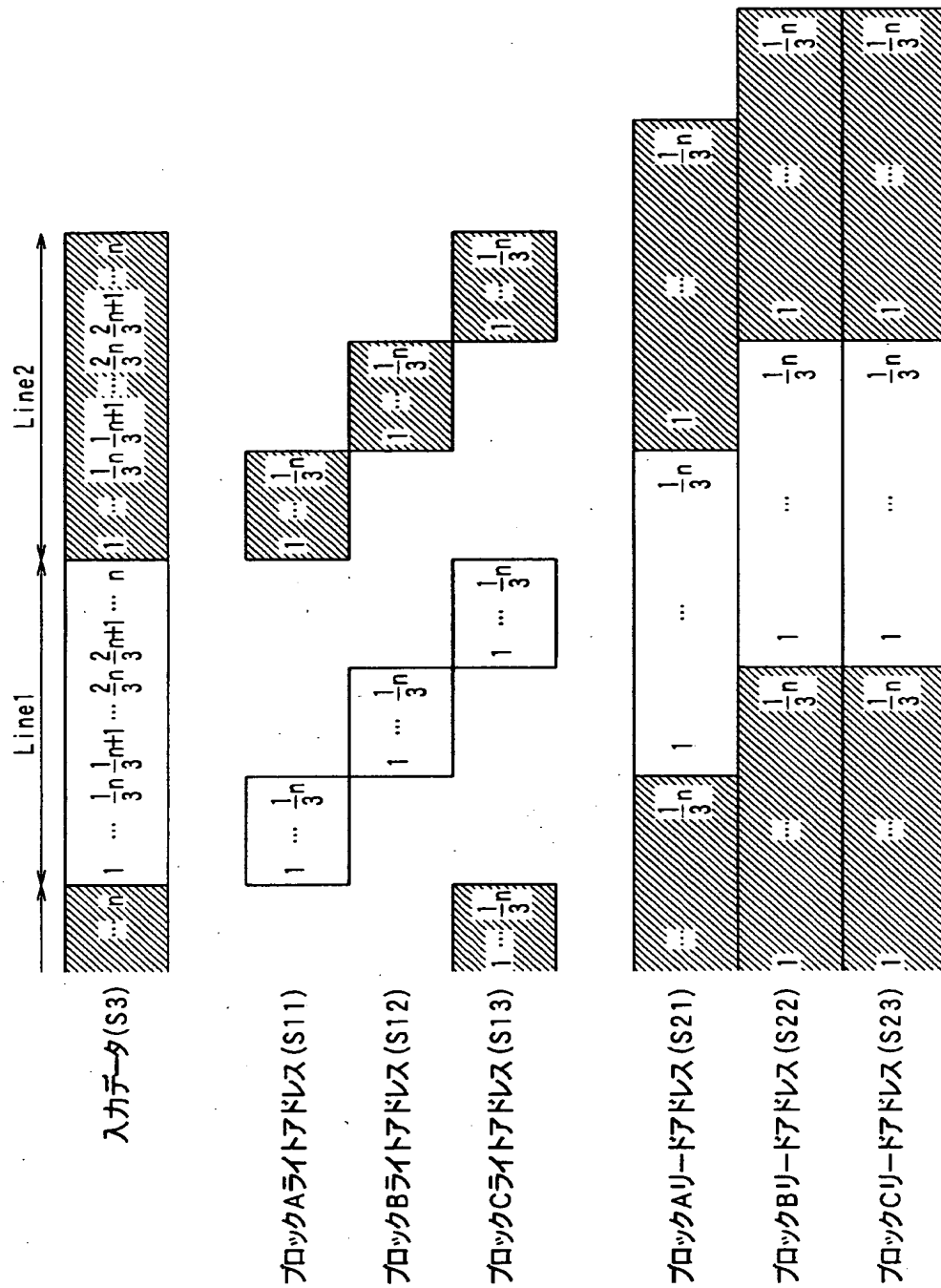
【図 3】



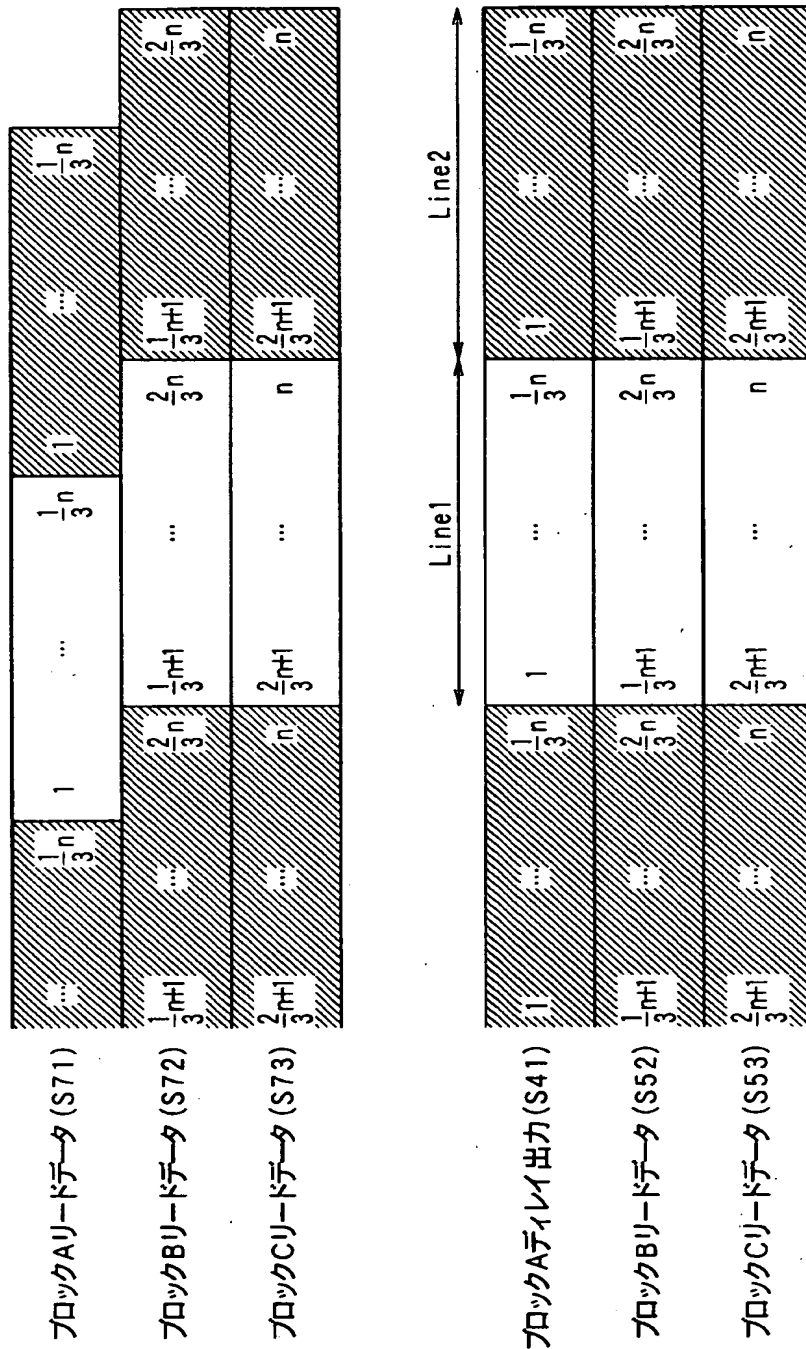
【図4】



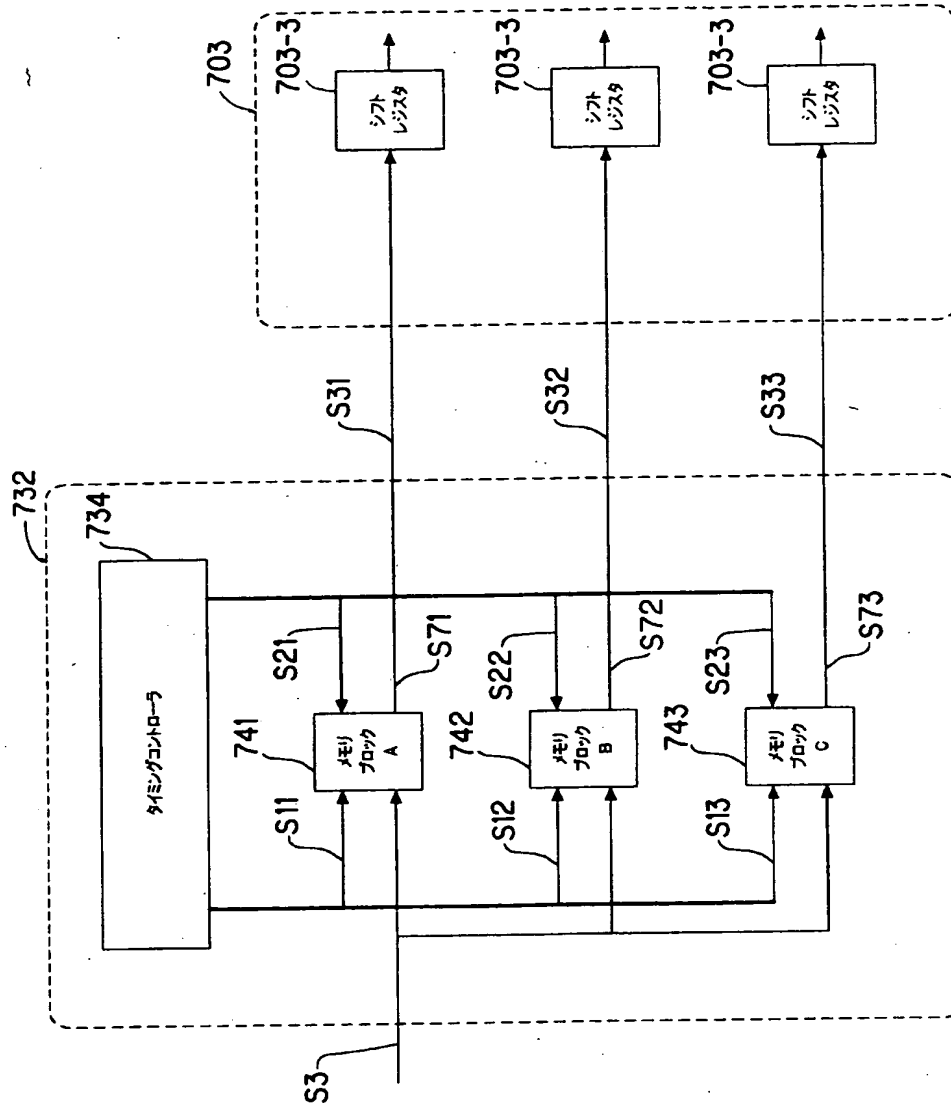
【图 5】



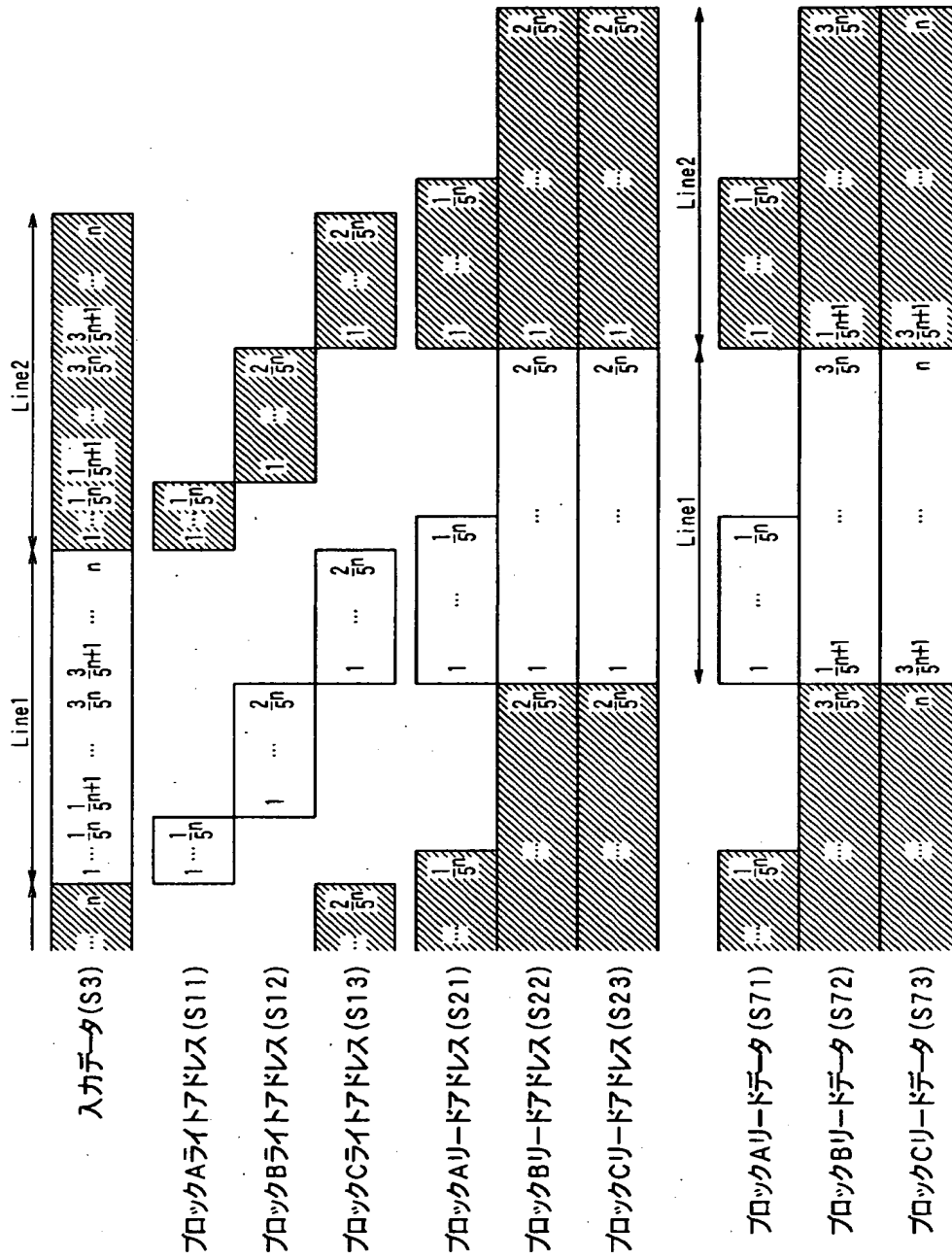
【図 6】



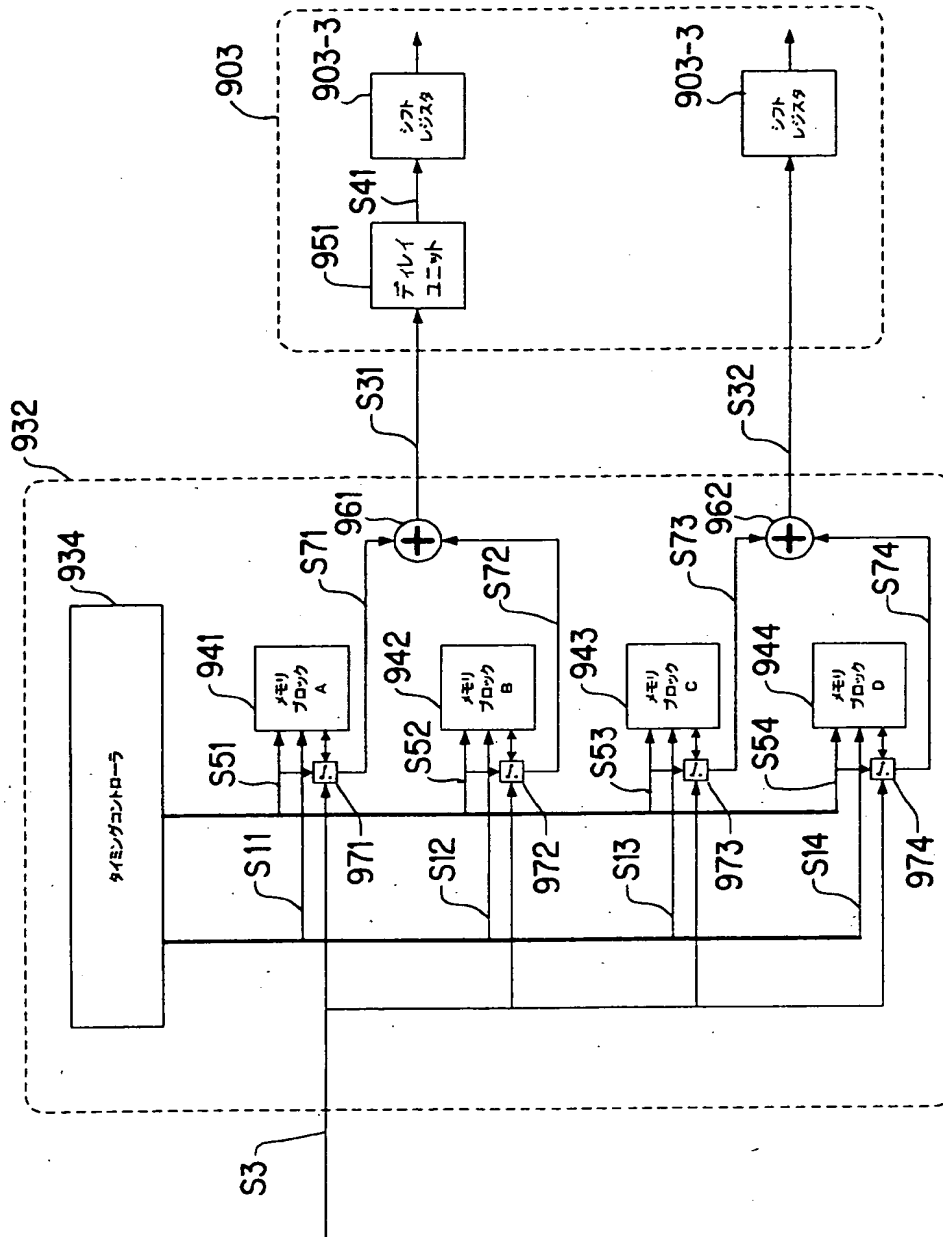
【図7】



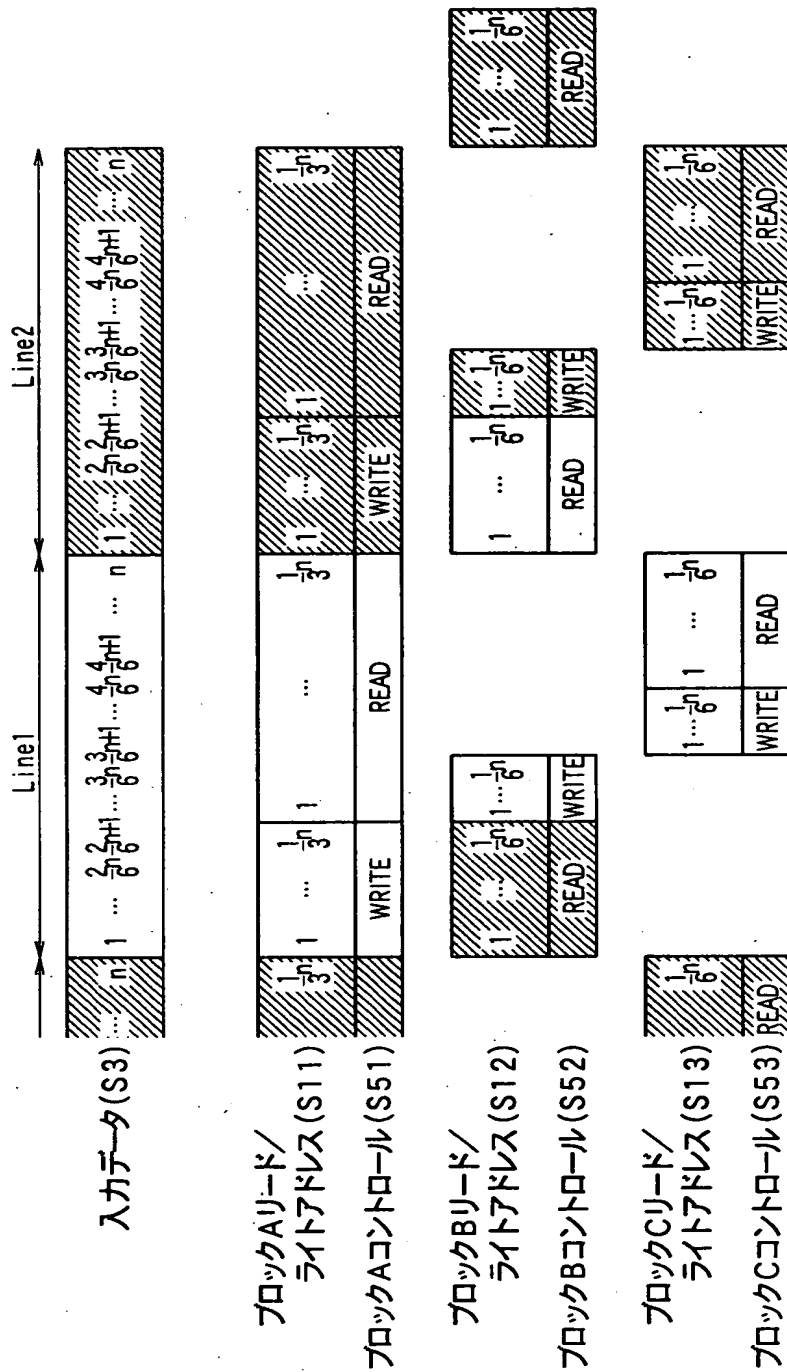
【図8】



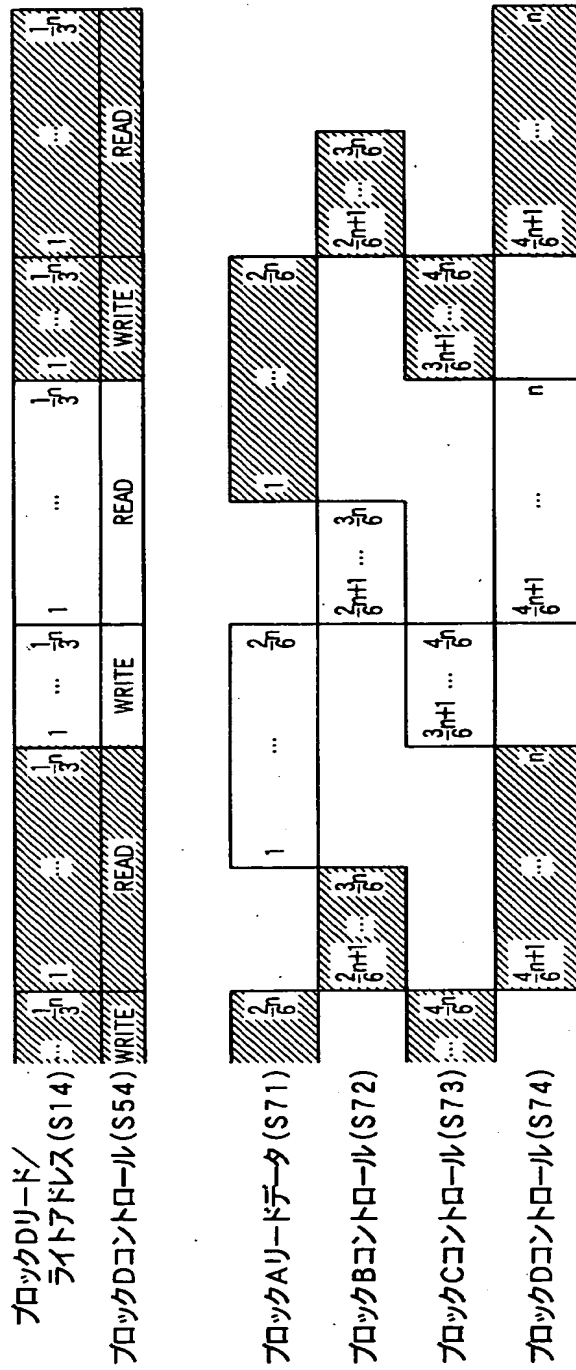
【図9】



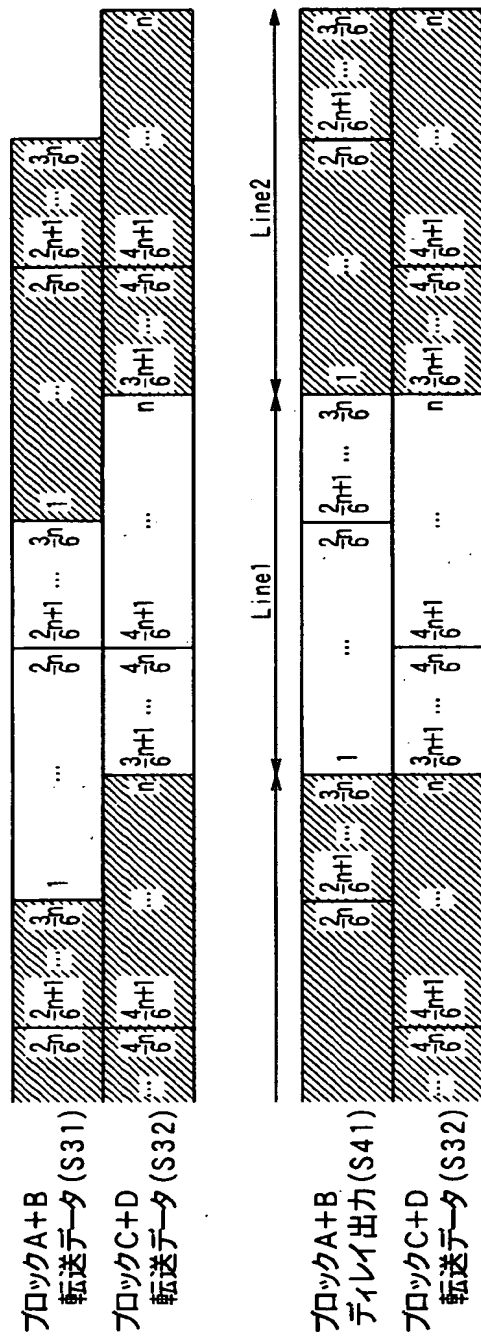
【図10】



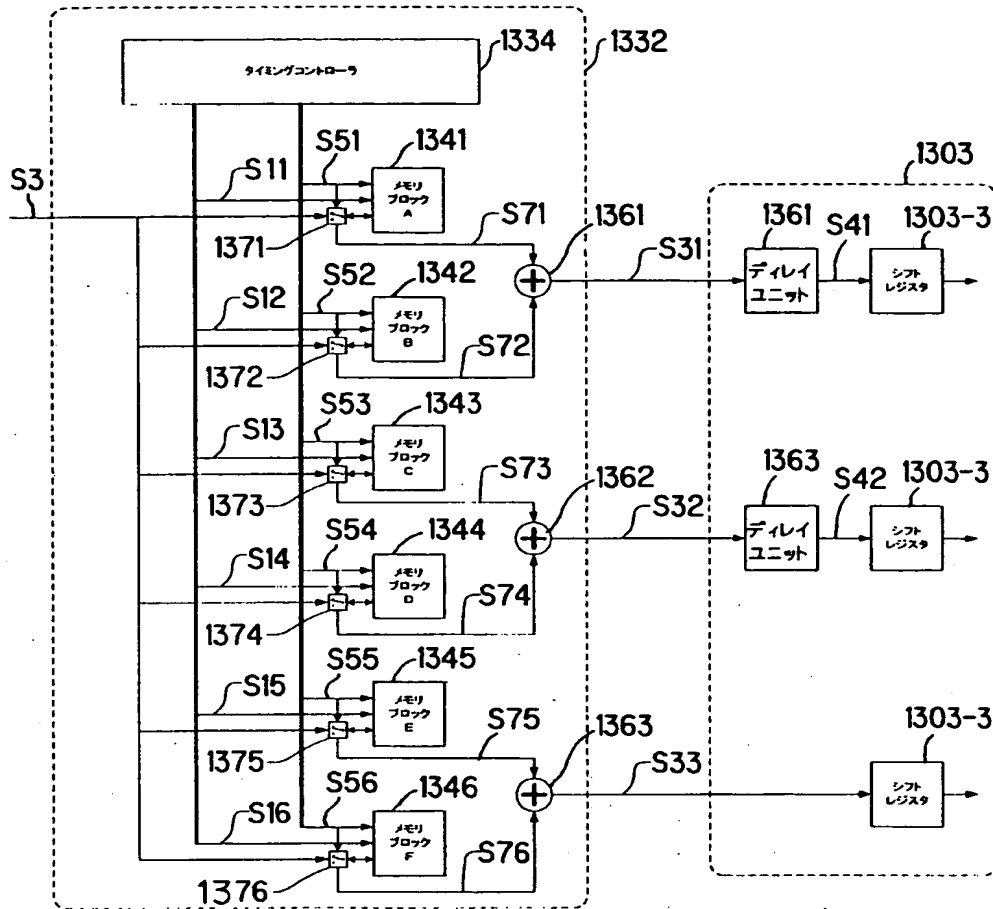
【图 1-1】



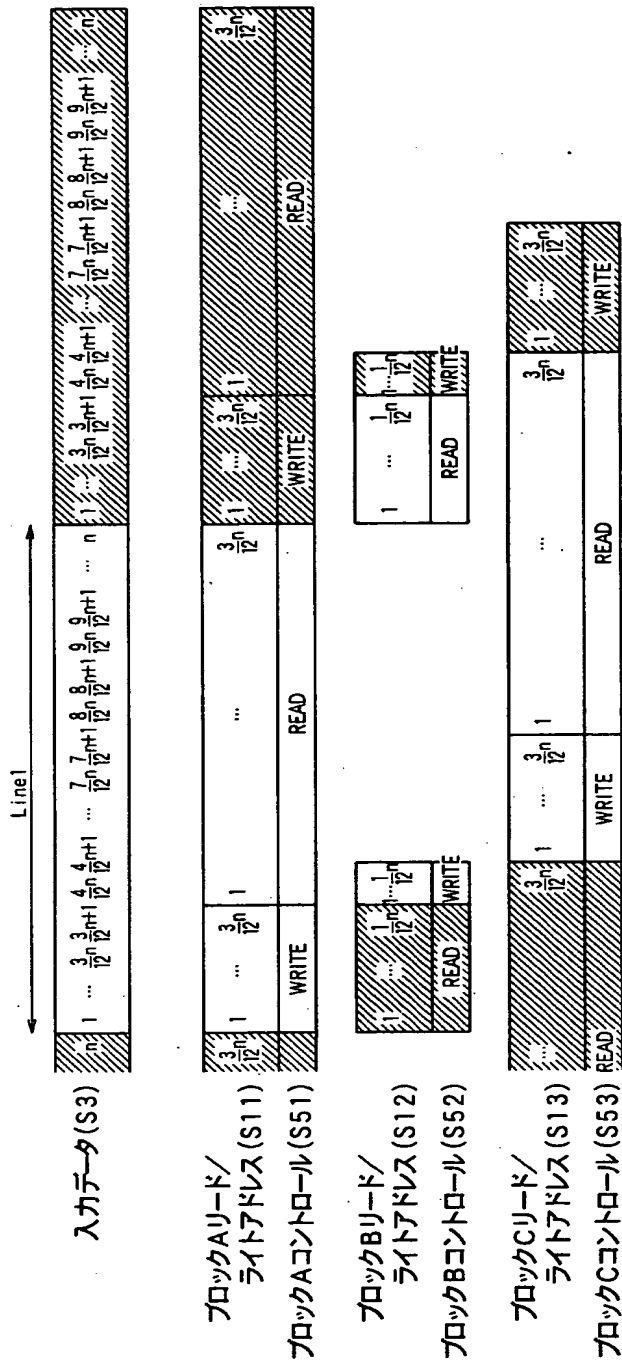
【図 12】



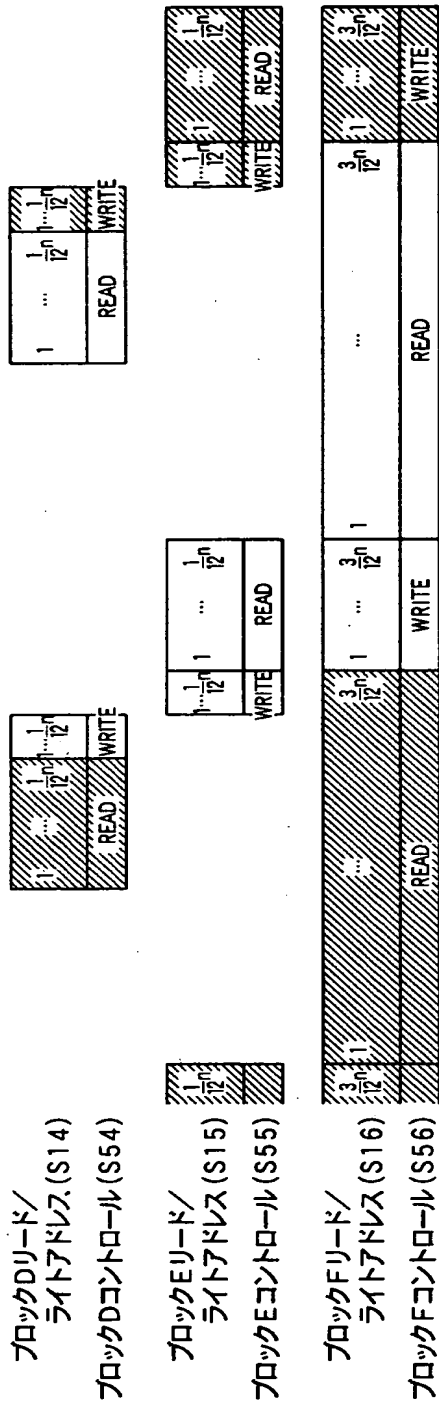
【図13】



【図 14】



【図15】



【図 16】

Figure 1 illustrates a data transfer system. The system consists of three input blocks (S31, S32, S33) and three output blocks (S41, S42, S43). Each block contains a 4x4 grid of data elements. A horizontal arrow labeled "Line1" points from left to right, indicating the direction of data transfer from the input blocks to the output blocks.

The data elements in the input blocks are as follows:

- Block S31:**

$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{3}{12}n+1$	$\frac{4}{12}n+1$...	1	$\frac{3}{12}n$	$\frac{3}{12}n+1$	$\frac{4}{12}n+1$...	$\frac{3}{12}n$
...	$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$...	$\frac{7}{12}n$	$\frac{8}{12}n$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
- Block S32:**

$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$...	$\frac{7}{12}n$	$\frac{8}{12}n$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
- Block S33:**

$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$...	$\frac{7}{12}n$	$\frac{8}{12}n$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...

The data elements in the output blocks are as follows:

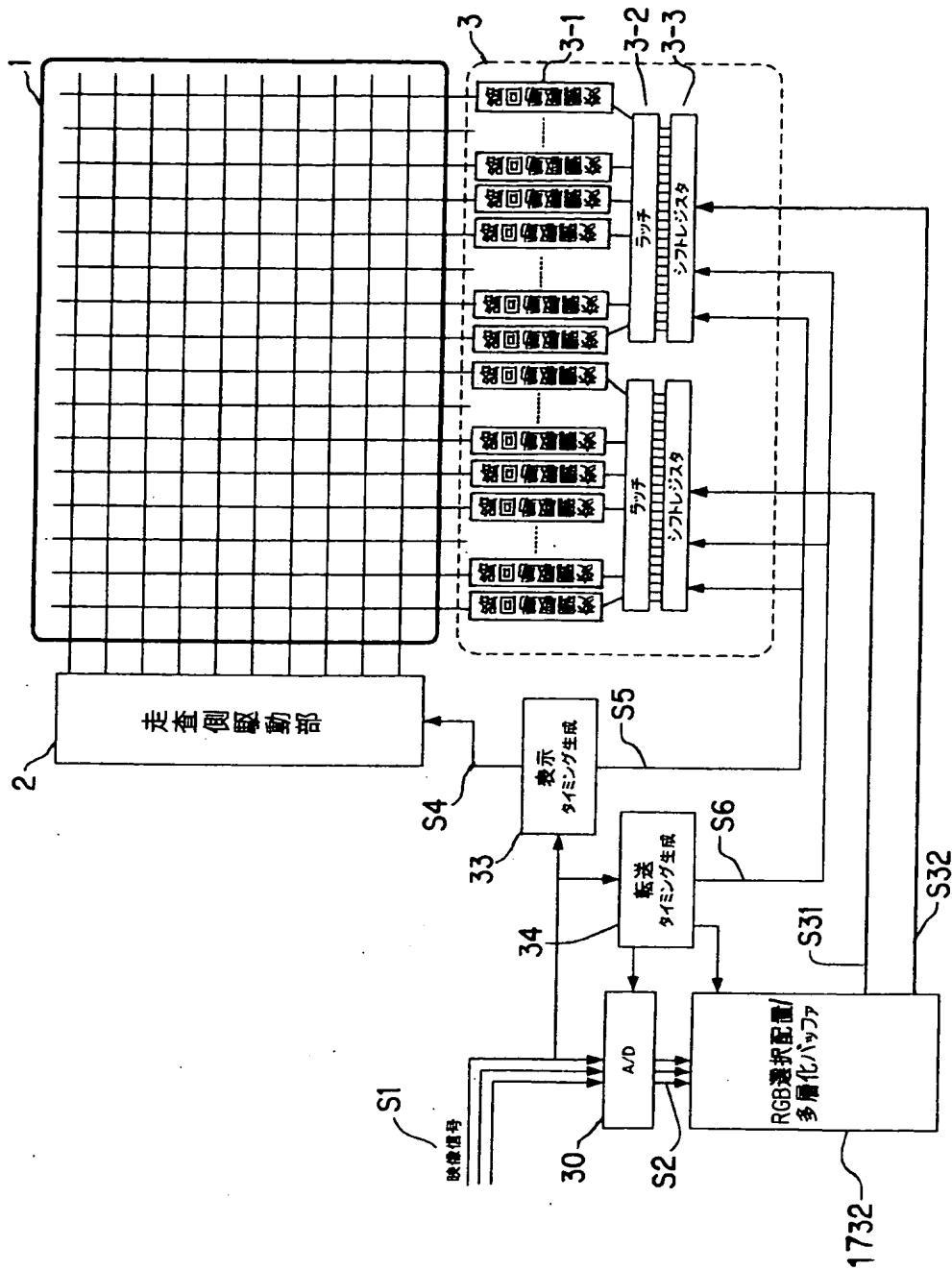
- Block S41:**

$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$...	$\frac{7}{12}n$	$\frac{8}{12}n$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
- Block S42:**

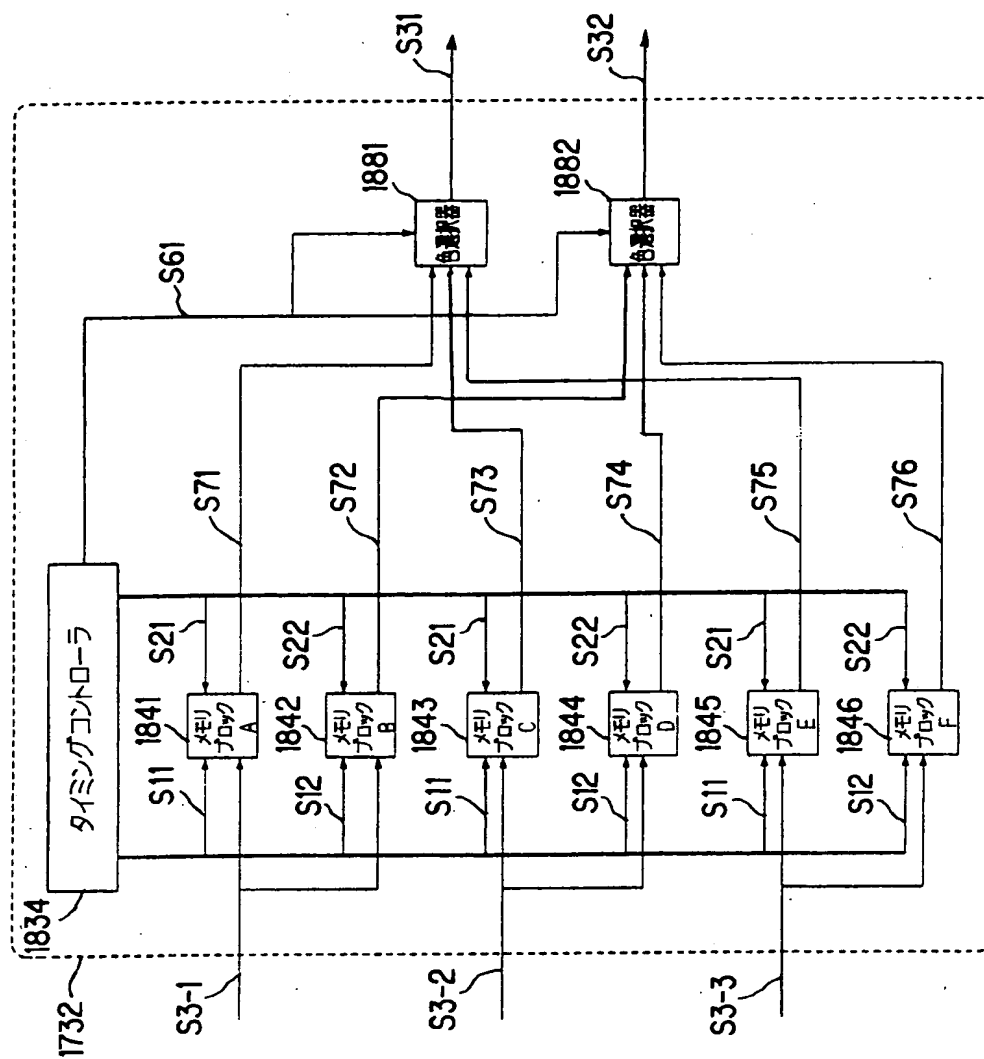
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$...	$\frac{7}{12}n$	$\frac{8}{12}n$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
- Block S43:**

$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$...	$\frac{7}{12}n$	$\frac{8}{12}n$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...
$\frac{1}{12}n$	$\frac{2}{12}n$	$\frac{3}{12}n$	$\frac{4}{12}n$...	$\frac{7}{12}n$	$\frac{8}{12}n$...	$\frac{7}{12}n+1$	$\frac{8}{12}n+1$	$\frac{9}{12}n+1$...

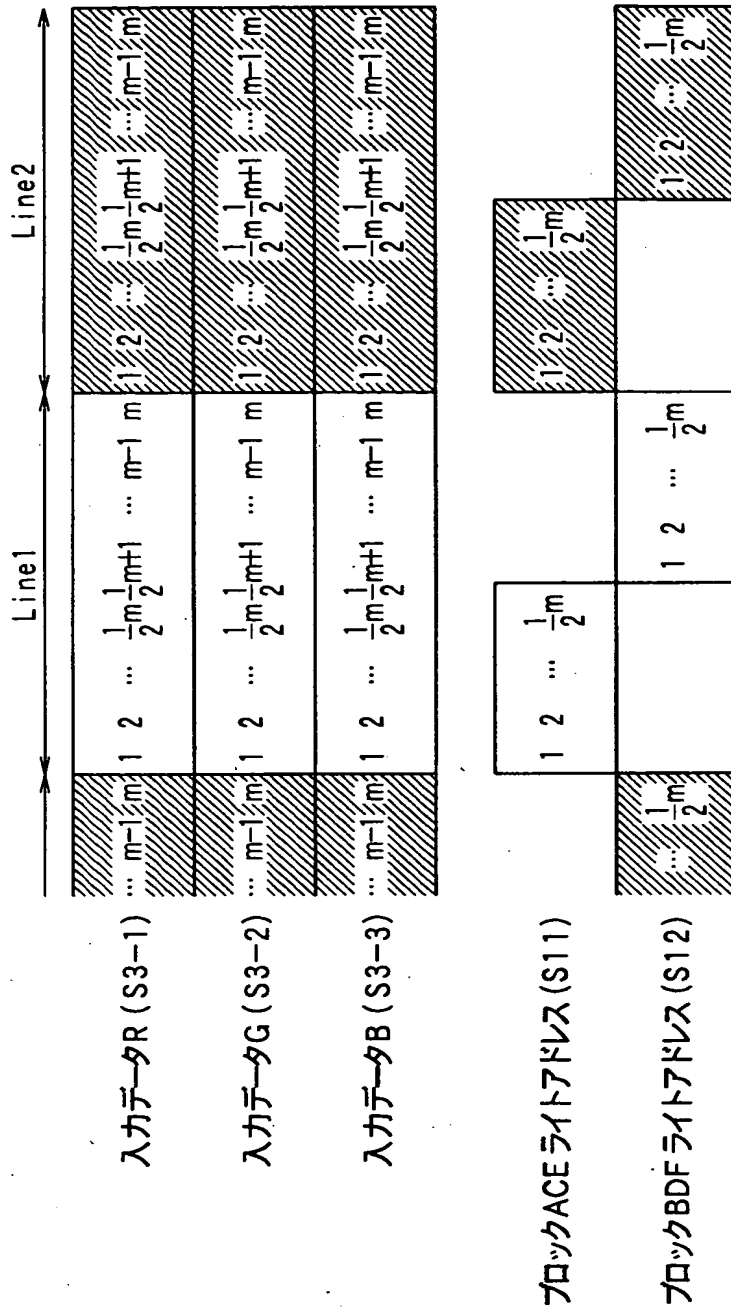
【図 17】



【図18】



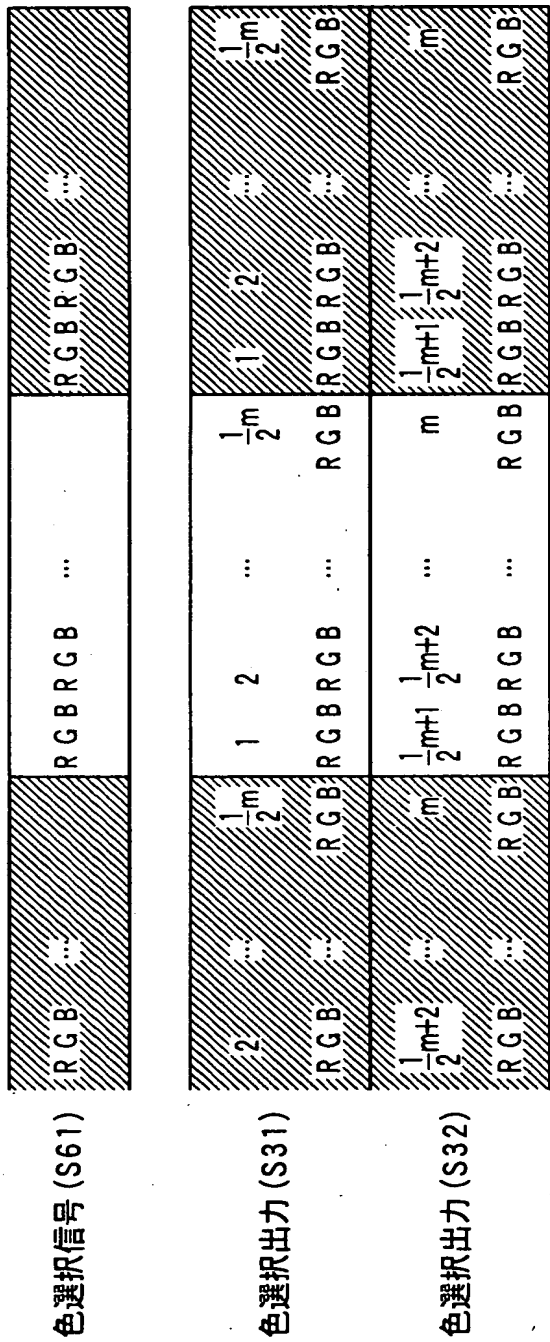
【図19】



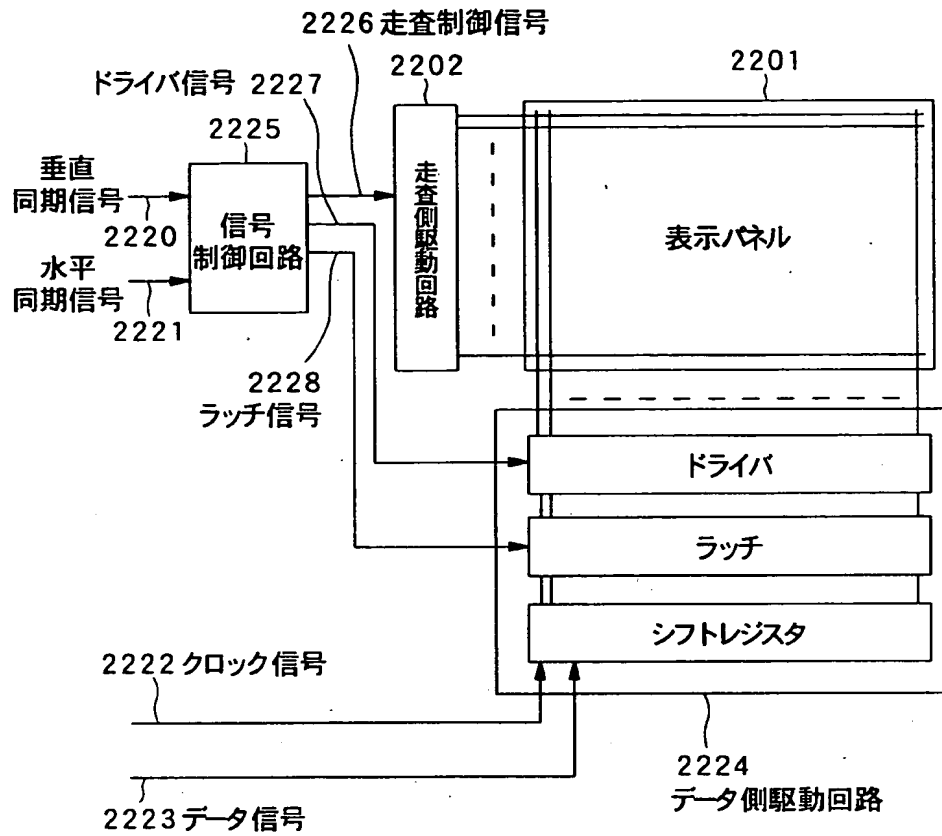
【図 20】

ブロックACEリードアドレス (S21)	2	$\frac{1-m}{2}$	1	2	...	$\frac{1-m}{2}$	1	2	$\frac{1-m}{2}$
ブロックBDFリードアドレス (S22)	2	$\frac{1-m}{2}$	1	2	...	$\frac{1-m}{2}$	1	2	$\frac{1-m}{2}$
ブロックAリードデータ (S71)	2	$\frac{1-m}{2}$	1	2	...	$\frac{1-m}{2}$	1	2	$\frac{1-m}{2}$
ブロックBリードデータ (S72)	$\frac{1-m+2}{2}$	m	$\frac{1-m+1}{2}$	$\frac{1-m+2}{2}$...	m	$\frac{1-m+1}{2}$	$\frac{1-m+2}{2}$	m

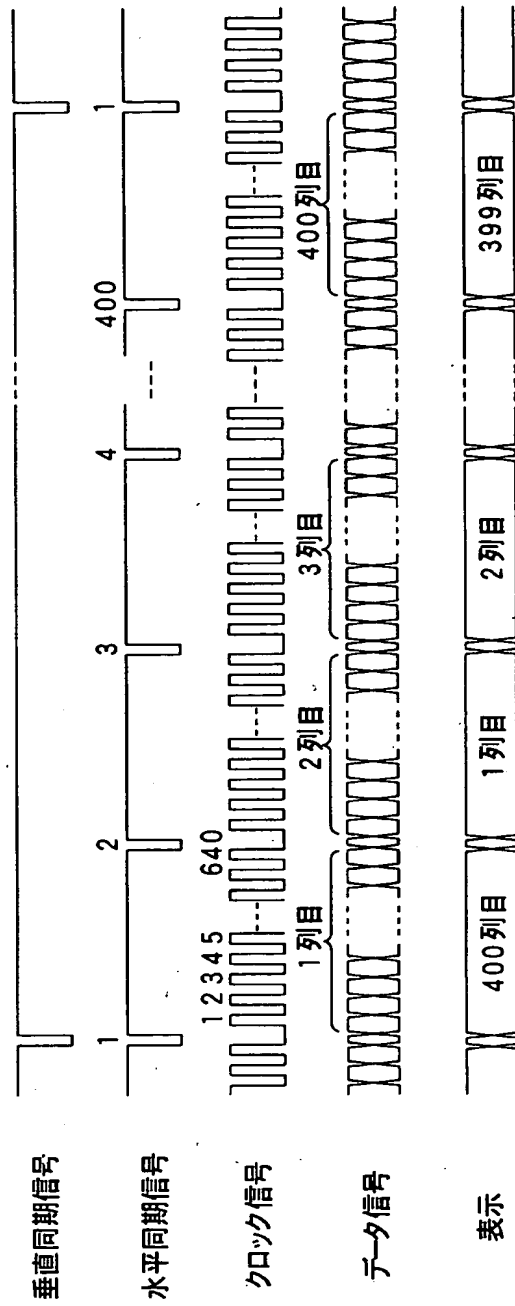
【図 2 1】



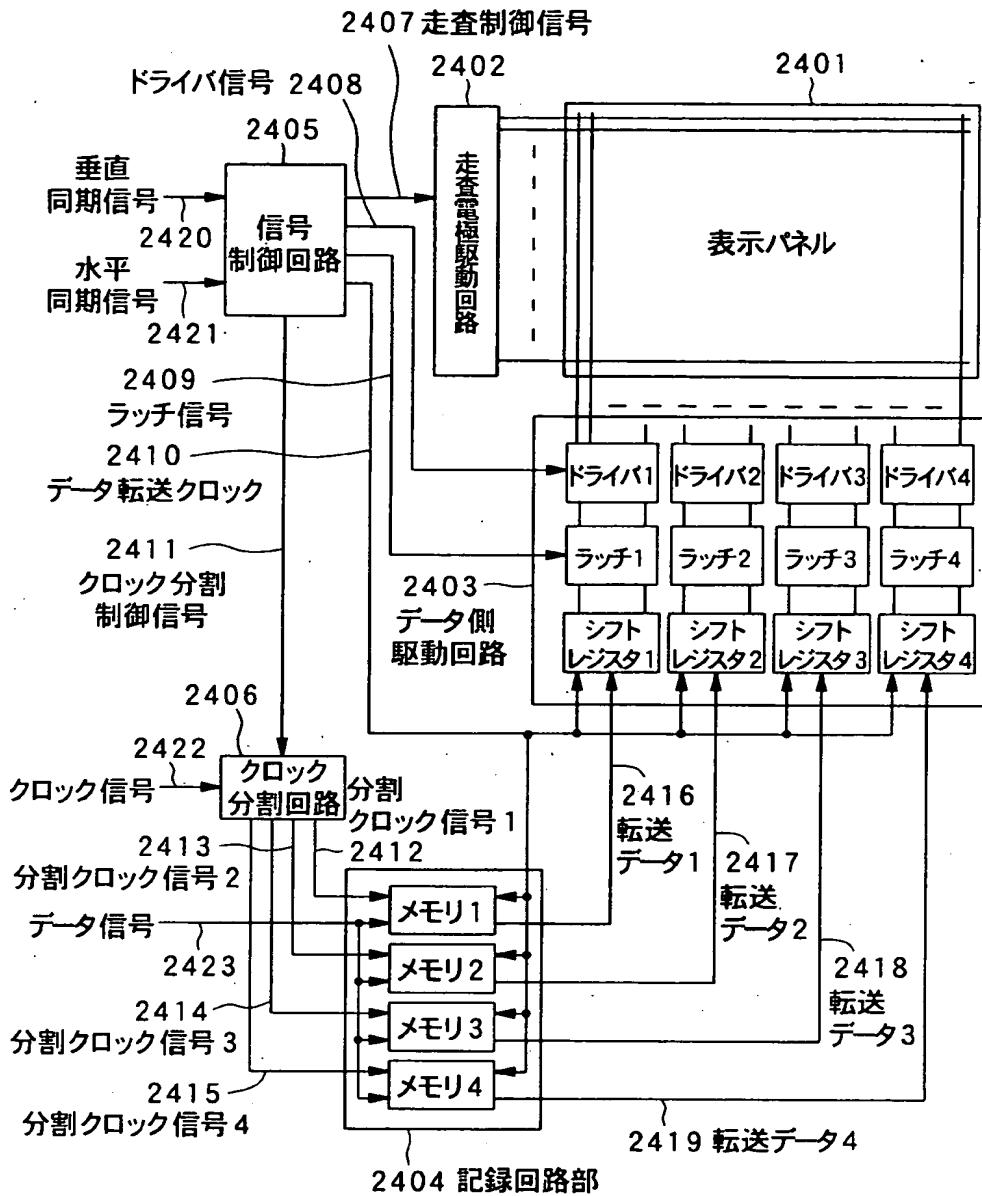
【図 2 2】



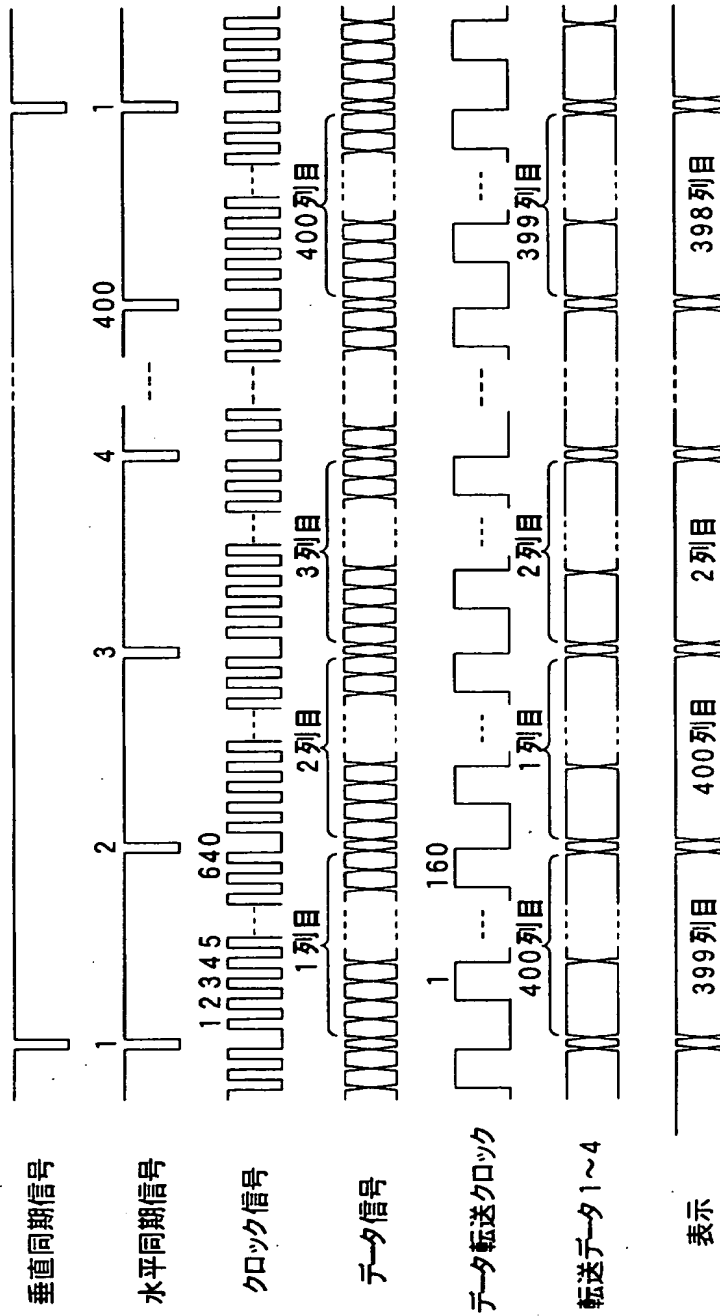
【図 23】



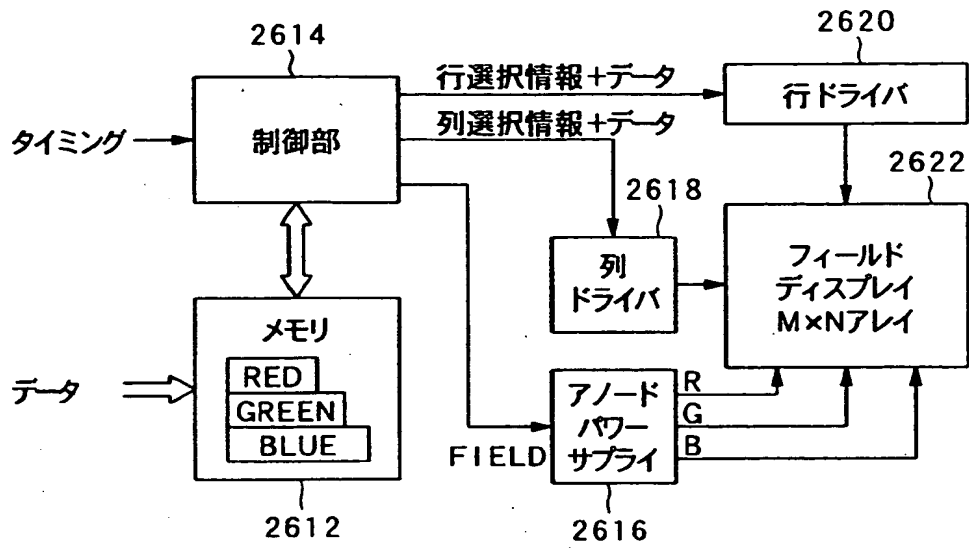
【図 24】



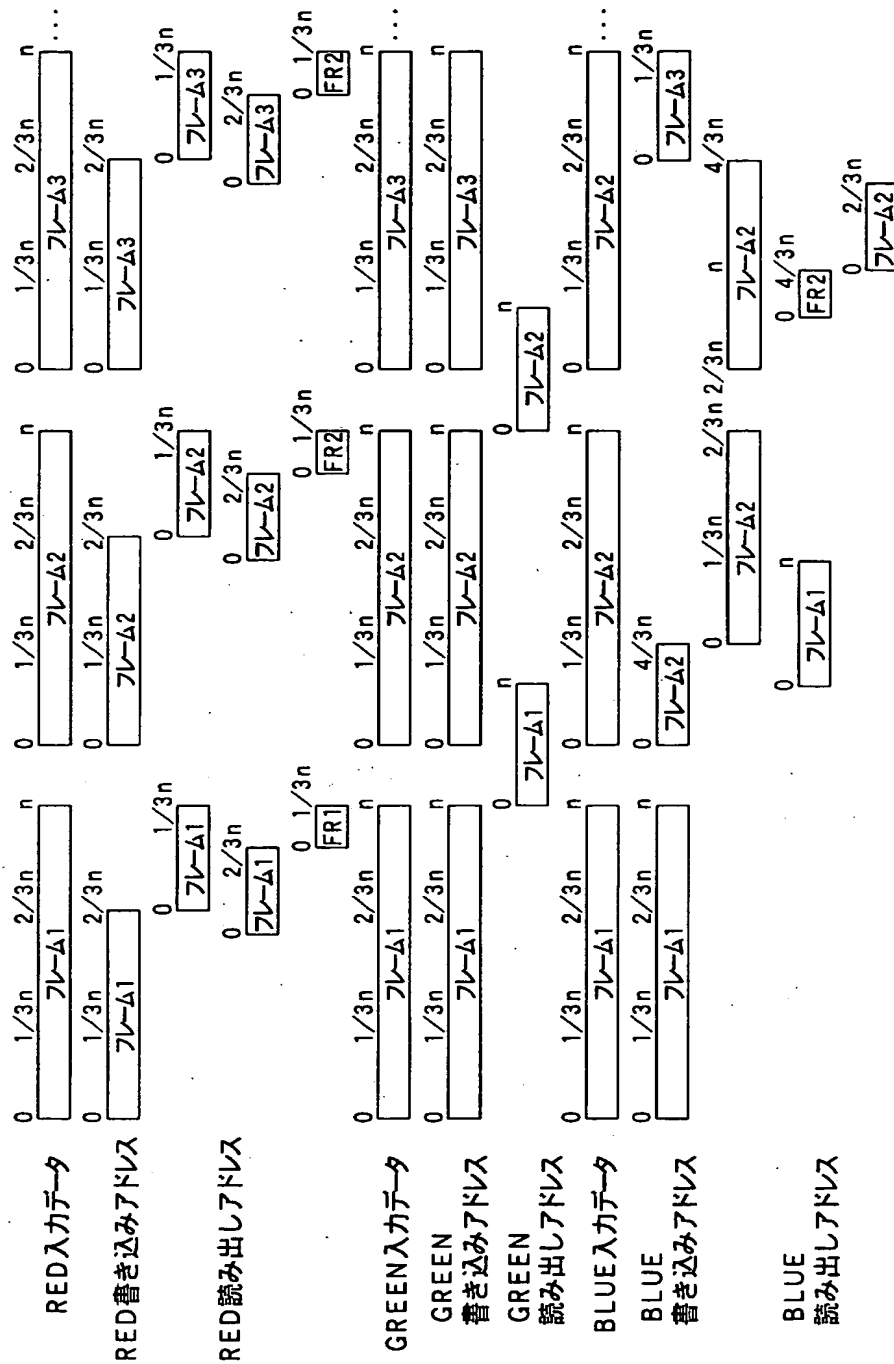
【図 25】



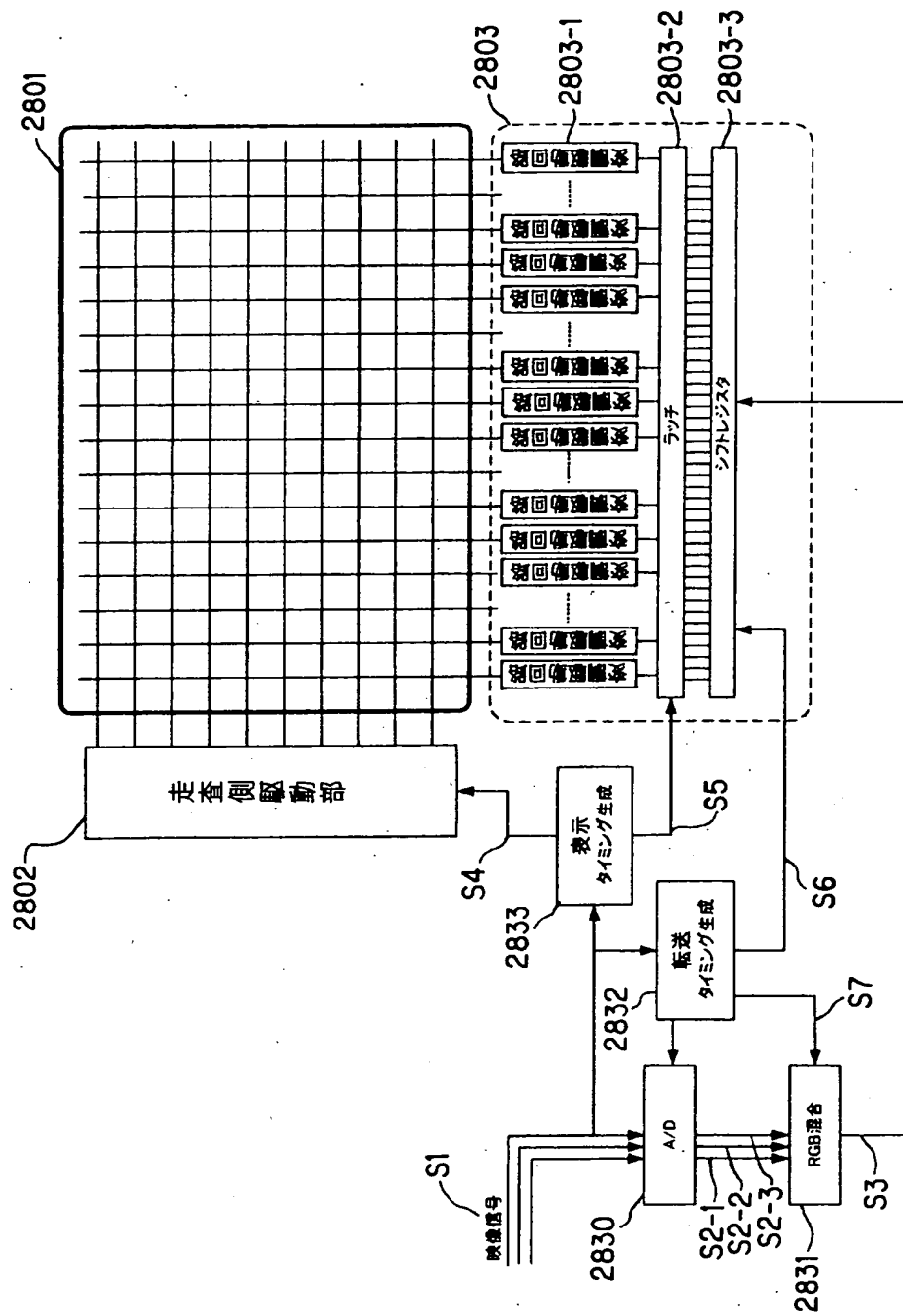
【図 26】



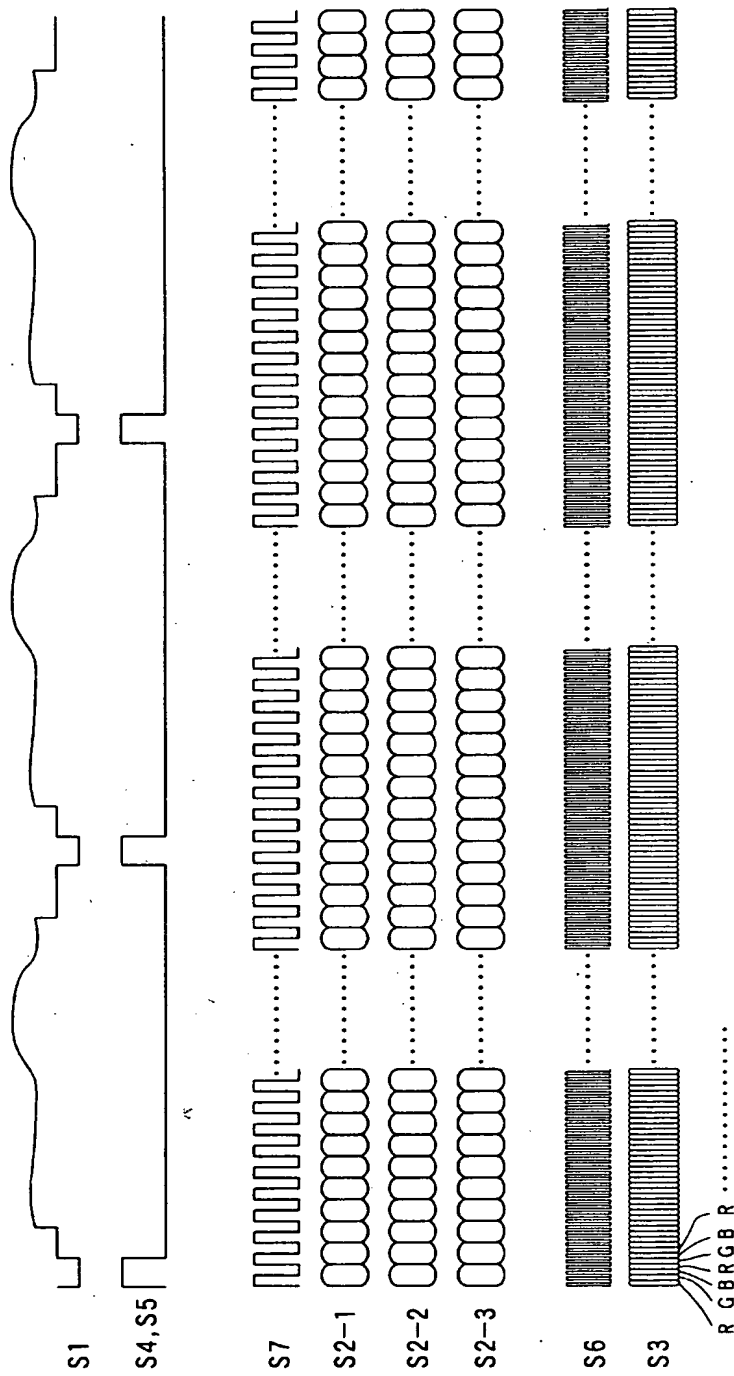
【図27】



【图 28】



【図 29】



【書類名】 要約書

【要約】

【課題】 シフトレジスタの動作速度が低速でかつメモリの使用量の少ない画像表示装置、画像表示方法、画像表示プログラム及び画像表示プログラムを記録したコンピュータ読み取り可能な記録媒体を提供する。

【解決手段】 表示パネル 1 の変調配線を複数のブロックに分割し、この分割に対応するようにシフトレジスタ 3-3 を分割し、さらに、輝度信号を複数のブロックの転送信号に分割する多層化バッファ 3 2 を備え、多層化バッファ 3 2 の記憶装置の容量を、シフトレジスタ 3-3 の容量以上、シフトレジスタ 3-3 の容量の 2 倍未満とする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社